

Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
**«Владимирский государственный университет
имени Александра Григорьевича и Николая Григорьевича Столетовых»
(ВлГУ)**

Институт информационных технологий и радиоэлектроники



РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ

МЕТОДЫ ТЕСТИРОВАНИЯ СРЕДСТВ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ

направление подготовки
09.04.01 Информатика и вычислительная техника

направленность (профиль) подготовки
Автоматизация проектирования электронной вычислительной аппаратуры

г. Владимир

2021

1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Целью освоения дисциплины «Методы тестирования средств вычислительной техники» является подробное изучение студентами типовых методов и подходов к тестированию и диагностике цифровых и аналоговых устройств средств вычислительной техники;

Задачи:

- ознакомление с основными видами дефектов и неисправностей в современных интегральных схемах, способами их моделирования;
- овладение приемами анализа тестопригодности и тестопригодного проектирования цифровых и аналоговых устройств СВТ;
- изучение стандартов встроенного самотестирования IEEE 1149.1 и IEEE 1149.4;
- овладение умениями математического моделирования структурных решений тестопригодного проектирования устройств СВТ;
- овладение умениями и навыками выбора оптимальных тестовых стратегий для проектируемых устройств СВТ, работы с технической и справочной литературой.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОПОП

Дисциплина «Методы тестирования средств вычислительной техники» является дисциплиной по выбору, относится к части, формируемой участниками образовательных отношений, ОПОП ВО.

3. ПЛАНИРУЕМЫЕ РЕЗУЛЬТАТЫ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ

Планируемые результаты обучения по дисциплине, соотнесенные с планируемыми результатами освоения ОПОП (компетенциями и индикаторами достижения компетенций)

Формируемые компетенции (код, содержание компетенции)	Планируемые результаты обучения по дисциплине, в соответствии с индикатором достижения компетенции		Наименование оценочного средства
	Индикатор достижения компетенции (код, содержание индикатора)	Результаты обучения по дисциплине	
ПК-2 Способен разрабатывать технические документы, адресованные специалисту по информационным технологиям	ПК-2.1 Знает стандарты оформления технической документации ПК-2.2 Умеет разрабатывать технические документы, адресованные специалисту по информационным технологиям ПК-2.3 Владеет средствами и методами формирования технической и научной документации	Знать: стандарты ЕСКД и ЕСПД для оформления технической документации Уметь: разрабатывать конструкторскую и программную документацию в соответствии с требованиями ГОСТ. Владеть: навыками подготовки технической документации с использованием средств автоматизированного проектирования	Практико-ориентированное задание

4. ОБЪЕМ И СТРУКТУРА ДИСЦИПЛИНЫ

Трудоемкость дисциплины составляет 6 зачетных единиц, 216 часов

Тематический план форма обучения – очная

№ п/п	Наименование тем и/или разделов/тем дисциплины	Семестр	Неделя семестра	Контактная работа обучающихся с педагогическим работником				Самостоятельная работа	Формы текущего контроля успеваемости, форма промежуточной аттестации (по семестрам)
				Лекции	Практические занятия	Лабораторные работы	в форме практической подготовки		
1	Неисправности. Способы моделирования	1	1-5	6	10			38	
1.1	Верификация и тестирование проекта на протяжении его жизненного цикла	1	1	2	2			10	
1.2	Виды неисправностей и методы их обнаружения	1	2-3	2	4			14	
1.3	Моделирование неисправностей цифровых и аналоговых схем	1	4-5	2	4			14	
2	Анализ тестопригодности	1	6-14	8	18	12	6	72	
2.1	Анализ тестопригодности цифровых схем	1	6		2			10	Рейтинг контроль 1
2.2	Анализ тестопригодности аналоговых схем	1	7-10	4	8	4	2	30	
2.3	Тестирование цифровых схем: Метод активизации одномерного пути. D-алгоритм. Тестирование последовательностных схем. Структурное тестирование по току	1	11-13	4	6	4	2	22	Рейтинг контроль 2
2.4	Тестирование аналоговых схем: Выбор типа тестовых воздействий. Выбор контролируемых параметров и тестовых узлов. Верификация выходных откликов схемы.	1	14		2	4	2	10	
3	Диагностика неисправностей	1	15-18	4	8	6	8	34	
3.1	Диагностика цифровых схем:	1	15-	2	4	4	4	12	

	Комбинаторная диагностическая процедура. Последовательная диагностическая процедура.		16						
3.2	Функциональная диагностика аналоговых схем: SBT- и SAT-подходы	1	17	2	2		4	12	
3.3	Тестопригодное проектирование цифровых схем. Стандарт цифрового граничного сканирования	1	18		2	2		10	Рейтинг контроль 3
Всего за 1 семестр:				18	36	18		108	экзамен
Наличие в дисциплине КП/КР					36				Курсовой проект
Итого по дисциплине				18	36	18		108	экзамен

Содержание лекционных занятий по дисциплине

Раздел 1. Неисправности. Способы моделирования

Тема 1.1 Верификация и тестирование проекта на протяжении его жизненного цикла
Виды неисправностей. Дефекты. Классификация.

Тема 1.2 Виды неисправностей и методы их обнаружения

Константные неисправности.. Катастрофические и параметрические неисправности.

Тема 1.3 Моделирование неисправностей цифровых и аналоговых схем

Моделирование неисправностей цифровых схем. Моделирование неисправностей аналоговых схем.

Раздел 2 Анализ тестопригодности

Тема 2.1 Анализ тестопригодности цифровых схем

Понятия наблюдаемости, управляемости и тестопригодности. Вычисление тестопригодности цифровых схем. Расчет наблюдаемости и управляемости цифровых схем. Вычисление коэффициентов передачи управляемости и коэффициентов передачи наблюдаемости. Вычисление наблюдаемости при сходящихся ветвлениях в схеме и с цепями обратной связи. Расчет общей тестопригодности цифровой схемы.

Тема 2.2 Анализ тестопригодности аналоговых схем

Анализ тестопригодности аналоговых схем. Графовые модели пассивных и активных компонентов аналоговых схем (АС). Вычисление управляемости в узле АС. Вычисление наблюдаемости в узле АС. Расчет общей тестопригодности АС. Влияние частоты на значение тестопригодности АС.

Тема 2.3 Тестирование цифровых схем: Метод активизации одномерного пути. D-алгоритм. Тестирование последовательностных схем. Структурное тестирование по току

Тестирование в выделенном и интерактивном режимах. Исчерпывающее, псевдослучайное и детерминированное тестирование. Метод активизации одномерного пути. Алгоритм Рота (D-алгоритм). Тестирование последовательностных схем. Структурное тестирование по току.

Тема 2.4 Тестирование аналоговых схем: Выбор типа тестовых воздействий. Выбор контролируемых параметров и тестовых узлов. Верификация выходных откликов схемы.

Методы тестирования неисправностей аналоговых устройств. Функциональное тестирование. Методы, основанные на анализе чувствительности. Анализ наилучшего и наихудшего случаев. Анализ Монте-Карло. Сигнатурный анализ.

Раздел 3 Диагностика неисправностей

Тема 3.1 Диагностика цифровых схем: Комбинаторная диагностическая процедура. Последовательная диагностическая процедура.

Диагностика цифровых схем. Комбинаторная диагностическая процедура. Последовательная диагностическая процедура.

Тема 3.2 Функциональная диагностика аналоговых схем: SBT- и SAT-подходы

Функциональная диагностика аналоговых схем. SBT-подходы функциональной диагностики. Справочники неисправностей. Минимизация набора тестовых узлов. Реализация СН на основе искусственной нейронной сети. SAT-подходы функциональной диагностики. Методы искусственного интеллекта. Методы нечеткой логики. Параметрическая идентификация.

Тема 3.2 Тестопригодное проектирование цифровых схем. Стандарт цифрового граничного сканирования

Методы тестопригодного проектирования. Проектирование с использованием сканирующих путей. Организация сканирующего пути. Стандарт цифрового граничного сканирования IEEE 1149.1. Архитектура цифрового граничного сканирования. Структура ячейки граничного сканирования (BSC). Методы встроенного самотестирования (BIST) цифровых схем. Сдвиговые регистры с линейной обратной связью (LFSR). Сигнатурный анализ. Устройства встроенного поблочного диагностирования логических схем (BILBO). Методы встроенного самотестирования аналоговых схем. Интерактивный и выделенный режимы тестирования. Стандарт смешанного (аналого-цифрового) граничного сканирования IEEE 1149.4. Архитектура смешанной (аналого-цифровой) тестовой шины. Функциональная схема аналогового граничного модуля (ABM).

Содержание практических/лабораторных занятий по дисциплине

Раздел 1. Неисправности. Способы моделирования

Практическое занятие 1. Верификация и тестирование проекта на протяжении его жизненного цикла

Практическое занятие 2. Виды неисправностей и методы их обнаружения.

Практическое занятие 3. Модели неисправностей аналоговых компонентов.

Практическое занятие 4. Расчет наблюдаемости и управляемости цифровых схем. Вычисление коэффициентов передачи управляемости и коэффициентов передачи наблюдаемости.

Практическое занятие 5. Контрольная работа (РК1).

Лабораторная работа 1. Моделирование работы аналоговой схемы в номинальном режиме.

Раздел 2 Анализ тестопригодности

Практическое занятие 6. Вычисление наблюдаемости при сходящихся ветвлениях в схеме и с цепями обратной связи.

Практическое занятие 7. Расчет общей тестопригодности цифровой схемы.

Практическое занятие 8. Анализ тестопригодности аналоговых схем.

Практическое занятие 9. Графовые модели пассивных и активных компонентов аналоговых схем (АС).

Практическое занятие 10. Вычисление управляемости в узле АС.

Практическое занятие 11. Контрольная работа (РК1).

Практическое занятие 12. Вычисление наблюдаемости в узле АС.

Практическое занятие 13. Расчет общей тестопригодности АС.

Практическое занятие 14. Влияние частоты на значение тестопригодности АС.

Лабораторная работа 2. Моделирование неисправностей в аналоговых схемах.

Лабораторная работа 3. Проведение анализа тестопригодности аналоговой схемы

Раздел 3 Диагностика неисправностей

Практическое занятие 15. Комбинаторная диагностическая процедура. Последовательная диагностическая процедура.

Практическое занятие 16. Функциональная диагностика АС. SBT-подходы функциональной диагностики. Справочники неисправностей. Минимизация набора тестовых узлов. Включающая и исключающая стратегии.

Практическое занятие 17. Реализация СН на основе искусственной нейронной сети. SAT-подходы функциональной диагностики.

Практическое занятие 18. Контрольная работа (РК3).

Лабораторная работа 4. Анализ чувствительности аналоговой схемы

5. ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ ТЕКУЩЕГО КОНТРОЛЯ УСПЕВАЕМОСТИ, ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ПО ИТОГАМ ОСВОЕНИЯ ДИСЦИПЛИНЫ И УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ

5.1. Текущий контроль успеваемости

Рейтинг-контроль 1

1. Верификация и тестирование проекта на протяжении его жизненного цикла.
2. Дефекты и неисправности. Классификация неисправностей.
3. Моделирование неисправностей цифровых схем. Метод параллельного моделирования.
4. Моделирование неисправностей цифровых схем. Метод дедуктивного моделирования.
5. Моделирование неисправностей цифровых схем. Конкурентный метод моделирования.
6. Анализ тестопригодности цифровых схем. Вычисление управляемости.
7. Анализ тестопригодности цифровых схем. Вычисление наблюдаемости.
8. Подходы к тестированию цифровых схем. Метод активизации одномерного пути.
9. Подходы к тестированию цифровых схем. Метод активизации многомерного пути (алгоритм Рота).
10. Подходы к тестированию цифровых схем. Тестирование последовательностных схем.
11. Подходы к тестированию цифровых схем. Структурное тестирование по току.
12. Диагностика неисправностей цифровых схем. Комбинаторная диагностическая процедура.
13. Диагностика неисправностей цифровых схем. Последовательная диагностическая процедура.
14. Тестопригодное проектирование электронных устройств.
15. Тестопригодное проектирование цифровых схем. Общие правила повышения тестопригодности.
16. Тестопригодное проектирование цифровых схем. Метод сканируемого пути.
17. Тестопригодное проектирование цифровых схем. Метод сканируемого пути на *LSSD*-триггере.

Рейтинг-контроль 2

1. Тестопригодное проектирование цифровых схем. Метод граничного сканирования (IEEE 1149.1).
2. Архитектура цифрового граничного сканирования (IEEE 1149.1).
3. IEEE 1149.1. Регистры и их назначение.
4. IEEE 1149.1. Режимы тестирования: нормальное, внутреннее, внешнее.
5. Тестопригодное проектирование цифровых схем. Встроенное самотестирование (*BIST*).
6. 23. Встроенное самотестирование (*BIST*). Автономный сдвиговый регистр с линейными обратными связями (*ALFSR*).
7. Встроенное самотестирование (*BIST*). Сигнатурный анализатор на сдвиговом регистре с линейными обратными связями (*LFSR*).
8. Встроенное самотестирование (*BIST*). Организация сигнатурного анализа.
9. Встроенное самотестирование (*BIST*). Схемы контроля множества выходных сигналов.
10. Встроенное самотестирование (*BIST*). Схемы встроенного наблюдения (*BILBO*).

11. Тенденция развития методов и подходов тестирования цифровых, аналоговых и смешанных устройств.
12. Способы повышения качества и надежности современных электронных устройств.
13. Моделирование неисправностей аналоговых схем.
14. Анализ тестопригодности аналоговых схем.
15. Тестирование аналоговых схем. Выбор типа тестовых воздействий, контролируемых параметров и тестовых узлов.
16. Тестирование аналоговых схем. Верификация выходных откликов исследуемых схем и принятие решения о работоспособности.
17. Тестирование аналоговых схем. Методы, основанные на анализе чувствительности.
18. Методы тестирования аналоговых линейных и нелинейных схем.

Рейтинг-контроль 3

1. Функциональная диагностика аналоговых схем. SBT-подходы.
2. SBT-диагностика аналоговых схем. Минимизация набора тестовых узлов с помощью энтропии.
3. SBT-диагностика аналоговых схем. Реализация справочника неисправности на основе нейронной сети.
4. Функциональная диагностика аналоговых схем. SAT-подходы.
5. Функциональная диагностика аналоговых схем. Сравнение SBT- и SAT-подходов.
6. Тестопригодное проектирование аналоговых схем.
7. Тестопригодное проектирование аналоговых схем. Поддержка внешнего тестирования.
8. Тестопригодное проектирование аналоговых схем. Встроенное самотестирование.
9. Тестопригодное проектирование аналоговых схем. Метод преобразующего самотестирования (T-BIST).
10. Тестопригодное проектирование аналоговых схем. Метод частотного встроенного самотестирования (f-BIST).
11. Тестопригодное проектирование аналоговых схем. Самотестирование на преобразовании в схему генератора (O-BIST).
12. Тестопригодное проектирование аналоговых схем. Псевдослучайное встроенное самотестирование.
13. 48. Тестопригодное проектирование аналоговых схем. Стандарт смешанного граничного сканирования (IEEE 1149.4)
14. Стандарт IEEE 1149.4. Функциональная схема аналогового граничного модуля (ABM).
15. Стандарт IEEE 1149.4. Тестирование в цифровом режиме.
16. Стандарт IEEE 1149.4. Тестирование в аналоговом режиме.
17. Стандарт IEEE 1149.4. Проблемы использования и способы решения.

5.2. Промежуточная аттестация по итогам освоения дисциплины Перечень вопросов к экзамену

1. Верификация и тестирование проекта на протяжении его жизненного цикла.
2. Дефекты и неисправности. Классификация неисправностей.
3. Моделирование неисправностей цифровых схем. Метод параллельного моделирования.
4. Моделирование неисправностей цифровых схем. Метод дедуктивного моделирования.
5. Моделирование неисправностей цифровых схем. Конкурентный метод моделирования.
6. Анализ тестопригодности цифровых схем. Вычисление управляемости.
7. Анализ тестопригодности цифровых схем. Вычисление наблюдаемости.

8. Подходы к тестированию цифровых схем. Метод активизации одномерного пути.
9. Подходы к тестированию цифровых схем. Метод активизации многомерного пути (алгоритм Рота).
10. Подходы к тестированию цифровых схем. Тестирование последовательностных схем.
11. Подходы к тестированию цифровых схем. Структурное тестирование по току.
12. Диагностика неисправностей цифровых схем. Комбинаторная диагностическая процедура.
13. Диагностика неисправностей цифровых схем. Последовательная диагностическая процедура.
14. Тестопригодное проектирование электронных устройств.
15. Тестопригодное проектирование цифровых схем. Общие правила повышения тестопригодности.
16. Тестопригодное проектирование цифровых схем. Метод сканируемого пути.
17. Тестопригодное проектирование цифровых схем. Метод сканируемого пути на *LSSD*-триггере.
18. Тестопригодное проектирование цифровых схем. Метод граничного сканирования (IEEE 1149.1).
19. Архитектура цифрового граничного сканирования (IEEE 1149.1).
20. IEEE 1149.1. Регистры и их назначение.
21. IEEE 1149.1. Режимы тестирования: нормальное, внутреннее, внешнее.
22. Тестопригодное проектирование цифровых схем. Встроенное самотестирование (*BIST*).
23. Встроенное самотестирование (*BIST*). Автономный сдвиговый регистр с линейными обратными связями (*ALFSR*).
24. Встроенное самотестирование (*BIST*). Сигнатурный анализатор на сдвиговом регистр с линейными обратными связями (*LFSR*).
25. Встроенное самотестирование (*BIST*). Организация сигнатурного анализа.
26. Встроенное самотестирование (*BIST*). Схемы контроля множества выходных сигналов.
27. Встроенное самотестирование (*BIST*). Схемы встроенного наблюдения (*BILBO*).
28. Тенденция развития методов и подходов тестирования цифровых, аналоговых и смешанных устройств.
29. Способы повышения качества и надежности современных электронных устройств.
30. Моделирование неисправностей аналоговых схем.
31. Анализ тестопригодности аналоговых схем.
32. Тестирование аналоговых схем. Выбор типа тестовых воздействий, контролируемых параметров и тестовых узлов.
33. Тестирование аналоговых схем. Верификация выходных откликов исследуемых схем и принятие решения о работоспособности.
34. Тестирование аналоговых схем. Методы, основанные на анализе чувствительности.
35. Методы тестирования аналоговых линейных и нелинейных схем.
36. Функциональная диагностика аналоговых схем. SBT-подходы.
37. SBT-диагностика аналоговых схем. Минимизация набора тестовых узлов с помощью энтропии.
38. SBT-диагностика аналоговых схем. Реализация справочника неисправности на основе нейронной сети.
39. Функциональная диагностика аналоговых схем. SAT-подходы.
40. Функциональная диагностика аналоговых схем. Сравнение SBT- и SAT-подходов.
41. Тестопригодное проектирование аналоговых схем.
42. Тестопригодное проектирование аналоговых схем. Поддержка внешнего тестирования.
43. Тестопригодное проектирование аналоговых схем. Встроенное самотестирование.

44. Тестопригодное проектирование аналоговых схем. Метод преобразующего самотестирования (Т-BIST).
45. Тестопригодное проектирование аналоговых схем. Метод частотного встроенного самотестирования (f-BIST).
46. Тестопригодное проектирование аналоговых схем. Самотестирование на преобразовании в схему генератора (O-BIST).
47. Тестопригодное проектирование аналоговых схем. Псевдослучайное встроенное самотестирование.
48. Тестопригодное проектирование аналоговых схем. Стандарт смешанного граничного сканирования (IEEE 1149.4)
49. Стандарт IEEE 1149.4. Функциональная схема аналогового граничного модуля (ABM).
50. Стандарт IEEE 1149.4. Тестирование в цифровом режиме.
51. Стандарт IEEE 1149.4. Тестирование в аналоговом режиме.
52. Стандарт IEEE 1149.4. Проблемы использования и способы решения.

5.3. Самостоятельная работа обучающегося.

Самостоятельная работа заключается в изучении содержания тем курса по конспектам, учебникам и дополнительной литературе, подготовке к лабораторным и практическим занятиям, выполнении заданий для самостоятельной работы,

Самостоятельная работа включает домашнюю работу с лекционными материалами с целью расширения и углубления теоретических знаний, выполнение заданий, предусмотренных контрольными работами, оформлении отчетов по лабораторным работам, выполнении курсового проекта, подготовке к промежуточной аттестации.

Примерные темы курсовых проектов

1. Самотестирование сверточного кодека.
2. Самотестирование кодер БЧХ.
3. Самотестирование кодер LDPC.
4. Самотестирование контроллера прямого доступа к памяти.
5. Самотестирование демодулятора FSK.
6. Самотестирование кодека АДИКМ.
7. Самотестирование устройства перемежения/ деперемежения.
8. Самотестирование цифрового фильтра.

Фонд оценочных материалов (ФОМ) для проведения аттестации уровня сформированности компетенций обучающихся по дисциплине оформляется отдельным документом.

6. УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

6.1. Книгообеспеченность

Наименование литературы: автор, название, вид издания, издательство	Год издания	КНИГООБЕСПЕЧЕННОСТЬ
		Наличие в электронном каталоге ЭБС
Основная литература		
1. Тестопригодное проектирование ИС и электронных устройств : учеб. пособие / С. Г. Мосин; Владим. гос. ун-т. – Владимир: Изд-во Владим. гос. ун-та, 2009. – 228 с	2014	http://index.www1.vlsu.ru/cgi-bin/zgate.exe?present+88696+default+1+1+F+1.2.840.10003.5.102+rus
2. Мосин С.Г. Тестопригодное проектирование ИС и	2009	<URL: http://dspace.www1.vlsu.ru/bitstream/

электронных устройств [Электронный ресурс] : методические указания к лабораторным работам / сост. С. Г. Мосин ; Владимирский государственный университет (ВлГУ), Кафедра вычислительной техники .— Электронные текстовые данные (1 файл: 553 Кб) .— Владимир : Владимирский государственный университет (ВлГУ), 2009 .— 37 с.		123456789/1330/3/00800.pdf >.
3. Ланцов В.Н., Мосин С.Г. Современные подходы к проектированию и тестированию интегральных микросхем. - Владимир, Изд-во ВлГУ, 2010. 285 с.	2010	http://index.www1.vlsu.ru/cgi-bin/zgate.exe?present+82824+default+8+1+F+1.2.840.10003.5.102+rus
4. Ланцов В.Н. Проектирование заказных интегральных схем на КМОП. Владим. гос. ун-т. - Владимир: Изд-во Владим. гос. ун-та. 2009. – 224 с.	2009	<URL: http://e.lib.vlsu.ru/bitstream/123456789/1314/3/00806.pdf >
Дополнительная литература		
1. Мосин С. Г.. Тестопригодное проектирование ИС и электронных устройств : учебное пособие / сост. С. Г. Мосин ; Владимирский государственный университет (ВлГУ) .— Владимир : Владимирский государственный университет (ВлГУ), 2009 .— 228 с.	2009	http://index.www1.vlsu.ru/cgi-bin/zgate.exe?present+84652+default+2+1+F+1.2.840.10003.5.102+rus
2. Ланцов В.Н., Мосин С.Г., Кухарук В.С., Федоров С.В. Проектирование заказных интегральных схем в среде САПР Mentor Graphics. Методические указания к лаб. Работам. Владимир, ВлГУ, 2009, 90 с.	2009	<URL: http://e.lib.vlsu.ru/bitstream/123456789/1333/3/00799.pdf >.
3. Ланцов, В.Н. Интегрированные САПР : методические указания к лабораторным работам / сост. В. Н. Ланцов, Е. В. Галичев, М. А. Трофимов ; ВлГУ, Кафедра вычислительной техники – Владимир, ВлГУ, 2005 .— 33 с. :	2005	<URL: http://e.lib.vlsu.ru:80/handle/123456789/732 >.

6.2. Периодические издания

Журналы (<https://elibrary.ru/>):

1. Вестник компьютерных и информационных технологий
2. Вычислительные технологии
3. Известия вузов: электроника
4. Радиотехнические и телекоммуникационные системы

6.3. Интернет-ресурсы

<https://cs.cdo.vlsu.ru/>

<http://www.studentlibrary.ru>

<http://library.vlsu.ru/>

7. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

Для реализации данной дисциплины имеются специальные помещения для проведения занятий лекционного типа, занятий практического типа, групповых и индивидуальных консультаций, текущего контроля и промежуточной аттестации, а также помещения для самостоятельной работы. Лабораторные работы проводятся в «учебно-исследовательской лаборатории центра микросистемного проектирования и обучения».

Рабочую программу составил Калыгина Л.А., доцент кафедры ВТ и СУ



Рецензент

(представитель работодателя)

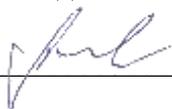


Генеральный директор ООО "Диаграмма" Протягов И.В.

Программа рассмотрена и одобрена на заседании кафедры ВТ и СУ

Протокол № 1 от 31 августа 2021 года

Заведующий кафедрой Ланцов В.Н.

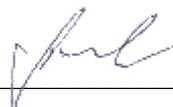


Рабочая программа рассмотрена и одобрена

на заседании учебно-методической комиссии направления 09.04.01 информатика и вычислительная техника

Протокол № 1 от 31 августа 2021 года

Председатель комиссии Ланцов В.Н. зав. каф. ВТиСУ



**ЛИСТ ПЕРЕУТВЕРЖДЕНИЯ
РАБОЧЕЙ ПРОГРАММЫ ДИСЦИПЛИНЫ**

Рабочая программа одобрена на 20 22 / 20 23 учебный года

Протокол заседания кафедры № 1 от 29.08.22 года

Заведующий кафедрой  Куликов К.В.

Рабочая программа одобрена на 20 ____ / 20 ____ учебный года

Протокол заседания кафедры № ____ от ____ года

Заведующий кафедрой _____

Рабочая программа одобрена на 20 ____ / 20 ____ учебный года

Протокол заседания кафедры № ____ от ____ года

Заведующий кафедрой _____