

Министерство образования и науки РФ
Федеральное государственное образовательное учреждение
высшего образования
«Владимирский Государственный Университет
имени А.Г. и Н.Г. Столетовых»

"КОМБИНАЦИОННЫЕ ЦИФРОВЫЕ УСТРОЙСТВА"

Методические указания к лабораторным работам по курсу
«Цифровые устройства и микропроцессоры», часть 1,
для студентов дневного отделения
по направлению 11.03.01 «Радиотехника»

(электронный ресурс)

Владимир - 2018 г.

Составил – Давыдов Г.Д.

Методические указания к лабораторным работам по курсу “Цифровые устройства и микропроцессоры” для студентов дневного отделения "Института инновационных технологий и радиоэлектроники" по направлению 11.03.01 «Радиотехника» федерального государственного образовательного учреждения высшего образования «Владимирский Государственный Университет имени А.Г. и Н.Г. Столетовых» (электронный ресурс) – Владимир: Изд-во ВлГУ, 2018. - 37 с.

Методические указания содержат описания четырех лабораторных работ по синтезу и минимизации цифровых логических комбинационных устройств. Лабораторные работы выполняются на виртуальных моделях в среде *Multisim*. В качестве цифровых элементов используются *PSPICE* – модели реальных цифровых микросхем малой и средней степени интеграции. В первой лабораторной работе подробно рассматриваются особенности моделирования цифровых устройств. В последующих работах – синтез логических комбинационных устройств на основе СДНФ и СКНФ, а также минимизация их.

Результаты моделирования могут быть использованы также при проектировании логических схем на основе ПЛМ, ПМЛ и ПЛИС невысокой степени интеграции.

Материалы могут быть полезны студентам электронных, компьютерных и информационных специальностей, а также аспирантам, преподавателям и всем желающим, которые занимаются изучением основ проектирования цифровых логических устройств.

СОДЕРЖАНИЕ

Введение.....	4
1. Лабораторная работа № 1. Основы моделирования цифровых устройств в среде <i>Multisim</i>	5
2. Лабораторная работа № 2. Синтез комбинационных устройств с использованием СДНФ.....	25
3. Лабораторная работа № 3. Синтез комбинационных устройств с использованием СКНФ.....	32
4. Лабораторная работа № 4. Минимизация комбинационных устройств.....	36
Список использованных источников.....	41

ВВЕДЕНИЕ

Первая часть курса «Цифровые устройства и микропроцессоры» посвящена изучению цифровых устройств, к которым относятся как простейшие элементы цифровой техники: логические схемы типа И, ИЛИ, НЕ, триггеры, счетчики, дешифраторы и т.п. – так и более сложные устройства такие как сумматоры, постоянные и оперативные запоминающие устройства. Исследования этих устройств в лабораторном цикле выполняется методом моделирования с помощью пакета *Multisim*, который по составленной электрической схеме и заданным входным колебаниям напряжений или токов рассчитывает выходные напряжения и токи во всех участках заданной схемы. Кроме схемотехнических элементов этот пакет содержит измерительные приборы: вольтметры, генераторы, осциллографы, логические анализаторы и т.д., позволяющие визуально индицировать напряжения и токи элементов схемы. Кроме того в меню *Simulate/Analyses* можно исследовать и более сложные характеристики сигналов. Пакет *Multisim* ориентирован на использование в учебном процессе, поэтому он относительно прост в применении, однако моделирование реальных (выпускаемых промышленностью) радиотехнических элементов выполняется с достаточно высокой точностью и результаты весьма близки к истинным. Кроме реальных радиотехнических элементов база данных пакета позволяет моделировать виртуальные (идеализированные) базовые элементы.

Лабораторная работа № 1.

ОСНОВЫ МОДЕЛИРОВАНИЯ ЦИФРОВЫХ УСТРОЙСТВ В СРЕДЕ *MULTISIM*

ЦЕЛЬ РАБОТЫ

Целью занятия является освоение специфики моделирования цифровых логических устройств и узлов в среде пакета Multisim. Изучение функционирования простейших логических устройств методом моделирования.

1. ОСНОВНЫЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

1.1. Общий порядок исследования логических схем

В данной работе используются модели реальных цифровых микросхем малой степени интеграции. В принципе могут использоваться модели практически любой серии, в которой есть соответствующие элементы. Однако для устранения недоразумений с сопряжением элементов разных серий рекомендуется использовать в качестве примеров ТТЛ микросхемы из серии SN74ALS, которая является прототипом распространенной отечественной серии микросхем КР1533 с задержкой переключения 15 - 20 нс. и напряжением питания +5В. В качестве инвертора используйте один (любой) из шести инверторов микросхемы SN74ALS04BN аналогичной отечественной микросхеме КР1533ЛН1. В качестве схемы **И-Не** - один из четырех элементов SN74ALS00N или SN74ALS00BN (КР1533ЛА3), а качестве **ИЛИ-Не** - SN74ALS02N или SN74ALS02BN (КР1533ЛЕ1).

Исследование цифровых схем в среде Multisim можно выполнять такими же методами и средствами, что и аналоговых устройств. При этом можно подавать на входы исследуемой схемы тестовые сигналы прямоугольной формы от генератора **Function Generator**. Наблюдать результаты можно на экране виртуального осциллографа **Oscilloscope**, который подключается своими входами к выходам исследуемой схемы. Если входов и выходов у исследуемой схемы несколько, используется соответствующее количество генераторов и осциллографов. Такая схема исследования применяется для аналоговых и простейших цифровых устройств и используется в п.2.2.1 задания. Эта схема измерений позволяет тонко исследовать форму колебаний на выходах, но неудобна при большом числе входов и выходов.

Особенностью логических цифровых схем является наличие значительного количества входов и выходов. При этом важно чтобы сигналы на разных входах не просто существовали, но и образовывали требуемые комбинации (коды), следующие в заданной временной последовательности. Величина и точная форма сигнала цифровых устройств не столь существенна как у аналоговых устройств, потому что может принимать только два значения, соответствующие логическому нулю или единице. Генераторы аналоговых сигналов в этом случае потребуют достаточно сложной синхронизации. Поэтому для анализа цифровых устройств обычно используют виртуальный генератор слов **Word Generator**, который имеет сразу 32 двоичных выхода и с тактовой частотой синхронно выводит на них заданные коды. В процессе исследований не обязательно использовать все выходы генератора слов. Можно использовать только нужное количество.

Анализ выходных сигналов цифровых схем так же имеет свои особенности. Выходов у цифровых устройств может быть много и анализировать их удобно на одном виртуальном экране с совмещением временных шкал. Виртуальные осциллографы среды позволяют на одном экране наблюдать ограниченное число процессов (всего 2 или 4), поэтому при большем числе выходов удобнее пользоваться логическим анализатором **Logic Analyzer**, имеющим 16 входов и рисующим на своем экране сразу 16 осциллограмм, синхронных во времени и нормированных по амплитуде сигналов (0,1).

1.2. Интерфейс пользователя

Интерфейс среды Multisim идеологически очень близок к нормам ОС Windows. Управление средой производится с помощью главного меню, которое приведено на рис.1 и обозначено надписью **Меню**. В главном меню присутствуют все команды управления пакетом. Наиболее часто используемые команды дополнительно представлены на инструментальных панелях. Число панелей достаточно велико и не все их рационально постоянно держать на экране. Вызывать и убирать инструментальные панели с экрана можно с помощью пункта главного меню **View/Toolbars** или последовательными комбинациями клавиш **Alt-V/Alt-T**, формируя индивидуальный набор панелей.

На рис.1 показаны основные панели.

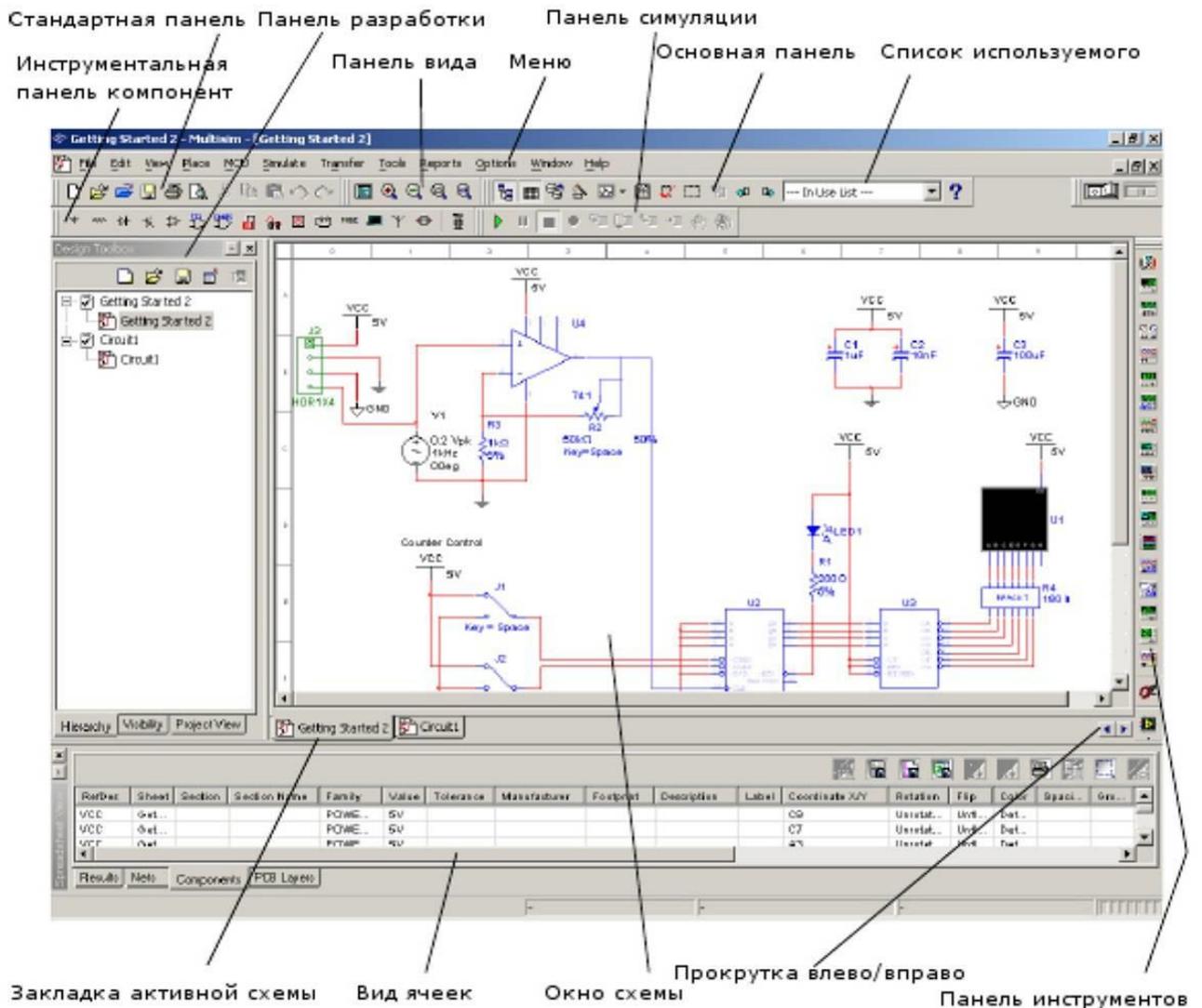


Рис.1

Меню - главное меню Multisim.

Стандартная инструментальная панель содержит кнопки для наиболее часто используемых функций. Если эта панель не присутствует в окне, вызвать и закрепить её можно с помощью п. **View/Toolbars/Standard** главного меню.

Любую панель можно вызвать, задав метку на промежуточной панели **View/Toolbars**.

Панель симуляции (моделирования) имеет кнопки для старта, приостановки, останова процесса моделирования и отладки микропроцессорных программ.

Панель инструментов имеет кнопки для помещения на рабочее поле виртуальных приборов измерения, индикации и генерации моделируемых сигналов.

Инструментальная панель компонент имеет кнопки, которые позволят вам выбрать компоненты (модели виртуальных электрических элементов) из базы данных Multisim для размещения в схеме моделируемого изделия.

Окно схемы (или рабочего пространства) — окно, в котором собирается моделируемая схема.

Панель разработки позволяет вам перемещаться по разным типам файлов проекта (схема, разводка платы, сообщения), видеть иерархию схемы и показывать или скрывать разные слои.

Вид ячеек позволяет быстро обозревать и редактировать такие детали, как параметры элементов, ссылки, атрибуты и прочее. Пользователь может менять параметры за один шаг и производить некоторые другие операции.

1.3. Ввод схемы

Ввод схемы — первый этап в разработке вашей схемы. На этой стадии вы выбираете нужные компоненты, размещаете их в рабочем поле чертежа в нужных местах и с нужной ориентацией, соединяете их вместе и прорабатываете все остальное для разработки. Multisim позволяет вам модифицировать свойства компонентов, сориентировать схему по сетке, добавить текст и штамп, добавить подсхемы и шины, управлять цветом фона, компонентов и соединений.

Вы можете открывать столько схем, сколько вам нужно, одновременно. Каждая схема появляется в ее собственном окне. Активное окно схемы, как и другие приложения Windows, выделяется подсветкой титульной панели. Переход от одного окна к другому можно производить с помощью п. **Window** главного меню или просто щелчком ЛКМ по закладке нужной схемы внизу рабочей области.

Каждое окно индивидуально и может иметь свои собственные настройки, набор компонентов и т.д. Вы можете копировать, но не перемещать, компоненты или инструменты из одного окна схемы в другое.

1.3.1. Выбор компонентов и помещение их на рабочее поле

Модели компонентов, из которых собирается электрическая схема моделируемого устройства, хранятся в специальной базе данных. Чтобы вставить нужный компонент в схему, придется найти его в базе компонентов и поместить в рабочее окно схемы. Все компоненты разбиты на группы в соответствии с их функциями. Группы состоят из семейств, отличающихся технологическими особенностями и производителями.

В базе присутствуют два вида компонентов реальные и виртуальные. Под реальными понимаются компоненты воспроизводящие микросхемы, выпускаемые электронной промышленностью различных стран, которые можно приобрести у производителей или дилеров. Свойства этих компонентов практически не могут изменяться при моделировании. Под виртуальными понимаются идеализированные компоненты, отражающие основные свойства моделируемого электрического элемента схемы. Их параметры можно менять по своему усмотрению. Виртуальные компоненты присутствуют в соответствующих группах и

могут помещаться в схему обычным образом. Дополнительно многие виртуальные компоненты собраны на инструментальной панели **Virtual**.

Для навигации по базе компонентов служит программный модуль, называемый обозревателем размещения компонентов. Воспользоваться им можно из главного меню с помощью **Place/Component....** При этом открывается окно выбора компонента **Select a Component** (рис.2).

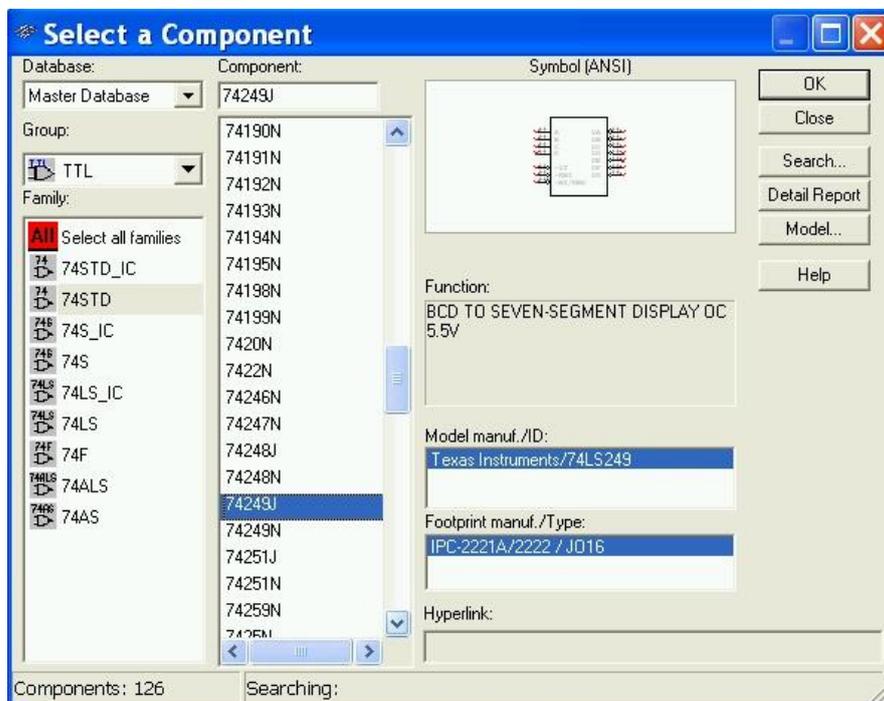


Рис. 2

В окне надо выбрать используемую базу, вид и семейство, в которых может находиться требующийся компонент. В лабораторных работах используется только основная база **Master database**, которая вызывается по умолчанию. После выбора вида в окне **Group** и семейства в окне **Family** выбираем компонент в окне **Component**. Все выборы и работа с клавишами окна выбора компонента производятся обычным образом и завершаются щелчком левой кнопки мыши (ЛКМ).

Быстрее можно произвести выбор, если воспользоваться инструментальной панелью **Components**. Каждая кнопка инструментальной панели вызывает обозреватель размещения компонентов с установленной группой, обозначенной на кнопке. Если панель отсутствует в рабочем окне, установите её с помощью п. **View/Toolbars/Components**.

Для размещения выбранного элемента на рабочем поле схемы следует щелкнуть ЛКМ на клавише **Ok**. Окно выбора закроется и появится изображение компонента, перемещающееся вместе с курсором. Щелчок ЛКМ на нужном месте рабочего поля закрепит положение компонента и откроет снова окно выбора для поиска нового компонента. Прерывание процесса помещения компонентов производится с помощью ЛКМ на клавише **Close**. Ниже

приведено описание групп компонентов. Каждой группе соответствует своя кнопка на инструментальной панели.

Кнопка	Описание
	Source кнопка. Выбирает группу источников в обозревателе.
	Basic кнопка. Выбирает базовую группу компонентов в обозревателе.
	Diode кнопка. Выбирает группу диодов в обозревателе.
	Transistor кнопка. Выбирает группу транзисторов в обозревателе.
	Analog кнопка. Выбирает группу аналоговых компонентов в обозревателе.
	TTL кнопка. Выбирает группу TTL компонентов в обозревателе.
	CMOS кнопка. Выбирает группу CMOS компонентов в обозревателе.
	Miscellaneous Digital кнопка. Выбирает группу разных цифровых компонентов в обозревателе.
	Mixed кнопка. Выбирает группу смешанных компонентов в обозревателе.
	Power Components кнопка. Выбирает группу силовых компонентов в обозревателе.
	Indicator кнопка. Выбирает группу индикаторных компонентов в обозревателе.
	Miscellaneous кнопка. Выбирает группу разнообразных компонентов в обозревателе.
	Electromechanical кнопка. Выбирает группу электромеханических компонентов в обозревателе.
	RF кнопка. Выбирает группу RF (радиочастотных) компонентов в обозревателе.
	Place Advanced Peripherals кнопка. Выбирает группу развитых периферийных компонентов в обозревателе.
	Place MCU Module кнопка. Выбирает группу модулей MCU в обозревателе.

1.3.2. Цепи питания цифровых компонентов

Специфические особенности имеются при выборе компонентов электропитания цифровых устройств. Для многих цифровых компонентов цепи питания считаются уже подключёнными, и специальных соединений с нулевым проводом и источником питания на схеме показывать не требуется. Однако на условных графических обозначениях некоторых компонентов присутствуют выводы для соединения с источником напряжения питания. В этом случае цепи питания должны быть присоединены. В Multisim для обозначения нулевого полюса источника питания используются две пиктограммы: знак заземления - для аналоговых устройств чувствительных к помехам и цифровая земля GND - для цифровых устройств менее чувствительных к помехам по нулевому проводнику и создающих такие помехи. Для источников напряжения питания используются четыре обозначения. VCC и VDD предназначены для задания положительного напряжения питания для схем на биполярных и полевых транзисторах соответственно, а VEE и VSS - отрицательного. Источников питания на схеме может быть несколько. Для каждого следует установить величину напряжения питания относительно нулевого провода, в соответствии с требуемым для подключённых к нему компонентов. Допускается использовать источники в качестве нулевого провода, если задать нулевое напряжение. Практически надо каждый раз выбирать тот источник питания, который указан в графическом обозначении цифрового компонента. Для питания аналоговых компонентов используются знак заземления и символы батарей постоянного напряжения.

1.3.3. Выбор инструментов

В среде Multisim предусмотрен большой набор виртуальных измерительных инструментов. Значительная часть из них воспроизводит реальные приборы, используемые в практике (зарубежной) и имеет практически идентичное управление. Это различные генераторы, осциллографы, анализаторы, мультиметры и т.п.

Некоторые приборы не имеют реальных аналогов, но в виртуальном пространстве позволяют удобно выполнить достаточно сложные измерения. К последним относятся различные пробники.

Выбрать измерительные инструменты можно с помощью инструментальной панели инструментов. Если панель отсутствует в рабочем окне, установите её из главного меню с помощью п. **View/Toolbars/Instruments**. Ниже описано назначение её кнопок.

Кнопка	Описание
	Multimeter кнопка. Размещает мультиметр в рабочей области.
	Function Generator кнопка. Размещает функциональный генератор в рабочей области.
	Wattmeter кнопка. Размещает ваттметр в рабочей области.
	Oscilloscope кнопка. Размещает осциллоскоп в рабочей области.
	Four Channel Oscilloscope кнопка. Размещает четырех-канальный осциллоскоп в рабочей области.
	Bode Plotter кнопка. Размещает плоттер Боде в рабочей области.
	Frequency Counter кнопка. Размещает частотомер в рабочей области.
	Word Generator кнопка. Размещает генератор слов в рабочей области.
	Logic Analyzer кнопка. Размещает логический анализатор в рабочей области.
	Logic Converter кнопка. Размещает логический конвертер в рабочей области.
	IV-Analysis кнопка. Размещает IV анализатор в рабочей области.
	Distortion Analyzer кнопка. Размещает анализатор искажений в рабочей области.
	Spectrum Analyzer кнопка. Размещает анализатор спектра в рабочей области.
	Network Analyzer кнопка. Размещает анализатор сети в рабочей области.
	Agilent Function Generator кнопка. Размещает Agilent функциональный генератор в рабочей области.
	Agilent Multimeter кнопка. Размещает Agilent мультиметр в рабочей области.
	Agilent Oscilloscope кнопка. Размещает Agilent осциллоскоп в рабочей области.
	Tektronix Oscilloscope кнопка. Размещает Tektronix осциллоскоп в рабочей области.
	Current Probe кнопка. Размещает токовый пробник в рабочей области.
	LabVIEW Instrument кнопка. Размещает инструмент LabVIEW в рабочей области.
	Measurement Probe кнопка. Прикрепляет пробник к указателю мышки, который измеряет напряжение, ток и частоту на любом проводе вашей схемы. Может размещаться до симуляции (статический пробник) или во время симуляции (динамический пробник). Используйте стрелку для размещения статического пробника.

1.3.4. Соединение компонентов

Чтобы составить схему, надо соединить выводы компонентов между собой в соответствии с электрической принципиальной схемой моделируемого устройства. Для соединения двух выводов сначала курсор наводится на первый вывод. При достаточно точном наведении курсор превращается в черную точку с перекрестием. Щелчок ЛКМ инициирует начало соединения. За курсором теперь тянется проводник. Перемещаем курсор на второй вывод, который мы хотим соединить с первым. При совмещении курсора со вторым выводом появляется дополнительная цветная точка, на том проводнике, с которым соединение будет выполнено. Соединение фиксируется опять с помощью щелчка ЛКМ. Проводники соединения проводятся горизонтально или вертикально, поэтому они часто имеют изгибы. Положение точек изгибов может выбираться автоматически. Если автоматическая прокладка проводника не устраивает, следует задавать её вручную, перемещая курсор только горизонтально или вертикально, а в точках изгибов фиксировать их с помощью ЛКМ.

1.3.5. Редактирование схемы

Для редактирования компонентов и проводников схемы их следует выделить. Выделить отдельный компонент или проводник можно с помощью одного щелчка ЛКМ или ПКМ.

Щелчок ЛКМ только выделяет компонент или секцию проводника. Выделенный элемент можно вырезать, удалять, копировать, вставлять и т.п. с помощью клавиш клавиатуры стандартных для ОС Windows. Удерживая ЛКМ, можно также перемещать выделенный элемент. Двойной щелчок ЛКМ дополнительно открывает **меню свойств** выделенного элемента.

Выделить **прямоугольную область** рабочего поля и расположенную на ней группу элементов можно протаскиванием курсора с нажатой ЛКМ по диагонали области на рабочем поле.

Иногда для редактирования удобнее использовать контекстные меню (всплывающие меню). Щелчок ПКМ по компоненту или соединению выделяет его и вызывает контекстное меню. Содержимое контекстного меню зависит от вида элемента, по которому выполнен щелчок.

Контекстное меню свободного участка окна схемы.

Если вы щелкните правой клавишей мышки по свободному участку окна схемы, появится всплывающее меню со следующими командами:

Place Component - вызов обозревателя базы компонент для размещения компонент на схеме;

Place Schematic - вызов набора команд для работы со схемой;

Place Graphic - вызов набора команд для дополнения схемы текстом, рисунками и геометрическими фигурами;

Place Comment - дополнение схемы или компонентов комментариями;

Cut, Copy, Paste, Delete - вырезание, копирование, вставка и удаление выделенных элементов;

Select All - выделение элементов всей схемы;

Toggle NC Marker - помещает NC (не соединено) маркер на вывод компонента. Вывод компонента не присоединенный к другим проводникам схемы и без NC считается ошибкой;

Clear ERC Markers - удаляет ранее помещенные ERC (проверка электрических правил) маркеры в рабочей области;

Paste as Subcircuit - замещает выделенные элементы подсхемой;

Replace by Hierarchial Block - замещает выделенные элементы иерархическим блоком;

Replace by Subcircuit - замещает выделенные элементы подсхемой;

Font - открывает окно диалога для задания шрифтов на схеме;

Properties - открывает окно диалога свойств рабочего поля схемы.

Контекстное меню компонентов или инструментов

Щелчок ПКМ по элементу схемы выделяет его и открывает контекстное меню с командами ввода и редактирования схемы.

Команда	Описание
Cut	Удаляет выделенные компоненты, схемы или текст и помещает их в буфер обмена.
Copy	Копирует выделенные компоненты, схемы или текст и помещает их в буфер обмена.
Paste	Помещает содержимое буфера обмена в рабочей области. Курсор показывает "призрак" рисунка предмета вставки. Щелкните мышкой, чтобы показать, где должен быть размещен объект.
Delete	Удаляет выделенное из рабочей области.
Flip Horizontal	Отражает выделенное горизонтально.
Flip Vertical	Отражает выделенное вертикально.
90 Clock wise	Поворачивает выделенное на 90 градусов по часовой стрелке.
90 CounterCW	Поворачивает выделенное на 90 градусов против часовой стрелки.
Bus Vector Connect	Показывает диалоговое окно соединения вектора шины.
Replace by Hierarchical Block	Заменяет элементы, которые вы выделили, иерархическим блоком.
Replace by Subcircuit	Заменяет элементы, которые вы выделили, подсхемой.
Replace Components	Вызывает обозреватель выбора компонентов, где вы можете выбрать новый компонент.
Edit Symbol/Title Block	В зависимости от выделенного элемента вызывает либо Редактор символов, либо Редактор титульных блоков.
Change Color	Показывает цветовую палитру, где вы можете изменить цвет линий выделенного элемента.
Font	Изменяет шрифт различных элементов в рабочей области из определенного набора.
Reverse Probe Direction	Меняет полярность выделенного измерительного пробника или токового пробника.
Properties	Если выделен компонент, открывает диалоговое окно свойств компонента. Если выделен инструмент, показывает внешний вид инструмента.

Контекстное меню соединений

Щелчок ПКМ по соединению в окне схемы выделяет этот проводник и вызывает контекстное меню команд редактирования соединения и сопровождающего его текста.

Команда	Описание
Delete	Удаляет выделенное соединение из рабочей области.
Change Color	Меняет цвет выделенного соединения из набора определенных.
Segment Color	Меняет цвет выделенного сегмента соединения из набора определенных.
Font	Меняет шрифт различных элементов в рабочей области из набора определенных.
Properties	Показывает диалоговое окно Сеть (Net).

Контекстное меню комментария или измерительного пробника

Команда	Описание
Cut	Удаляет выделенный элемент и помещает его в буфер обмена.
Copy	Копирует выделенный элемент в буфер обмена.
Paste	Помещает содержимое буфера обмена в рабочую область. Курсор показывает "призрачный" образ элемента, который вставляется. Щелкните мышкой по месту вставки.
Delete	Удаляет выделенный элемент из рабочей области.
Show Comment/Probe	Показывает содержание комментария или помещенного пробника.
Edit Comment	Активно только для выделенного комментария. Используйте для ввода текста в комментарий.
Reverse Probe Direction	Активно только для выделенного пробника. Меняет полярность пробника.
Font	Меняет шрифт различных элементов в рабочей области из набора определенных.
Properties	В зависимости от выделенного элемента отображает диалоговое окно либо Comment Properties, либо Probe Properties.

1.4. Генератор слов

Генератор слов (**Word generator**) используется для создания временных последовательности цифровых параллельных или последовательных кодов, которые используются как тестовые сигналы при моделировании работы цифровых схем. На каждый тактовый импульс внутренней или внешней синхронизации генератор выдает на свои выходы параллельный двоичный 32-х разрядный код, который здесь называется словом. Значение 0 или 1 на каждом выводе определяется числовым значением очередного слова, заданного в специальном буфере.

Для генерации временной последовательности кодов требуется подключить генератор к моделируемой схеме, заполнить буфер числовыми значениями кодов в порядке их следования, определить начало и конец массива выводимых кодов. Запускается генерация нажатием на одну из клавиш **Cycle**, **Burst** или **Step** на панели управления генератора. Эти клавиши заменяют клавиши **Run** и **Pause** инструментальных панелей главного меню, которыми также можно пользоваться для управления продолжением процесса моделирования.

1.4.1. Вызов генератора слов

Для использования этого инструмента щелкните ЛКМ кнопку **Word Generator** на панели **Instruments** и для помещения изображения (иконки) генератора в рабочей области ещё раз щелкните ЛКМ в том месте, где вы хотите поместить его. Иконка используется для подключения генератора слов к схеме и представлена на рис 3.

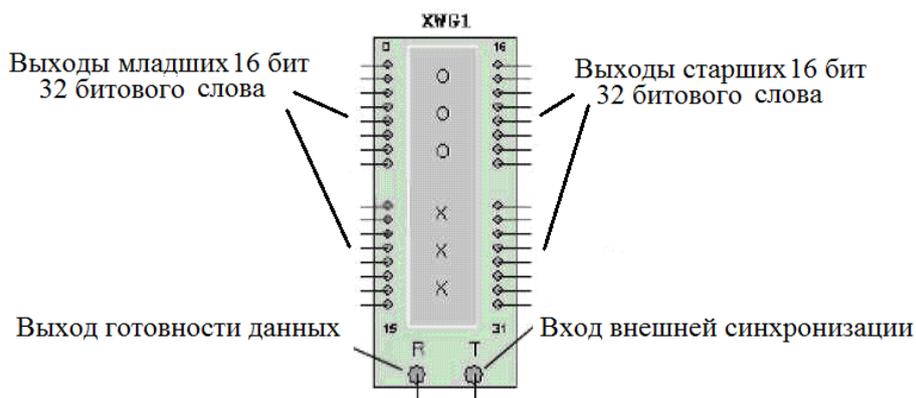
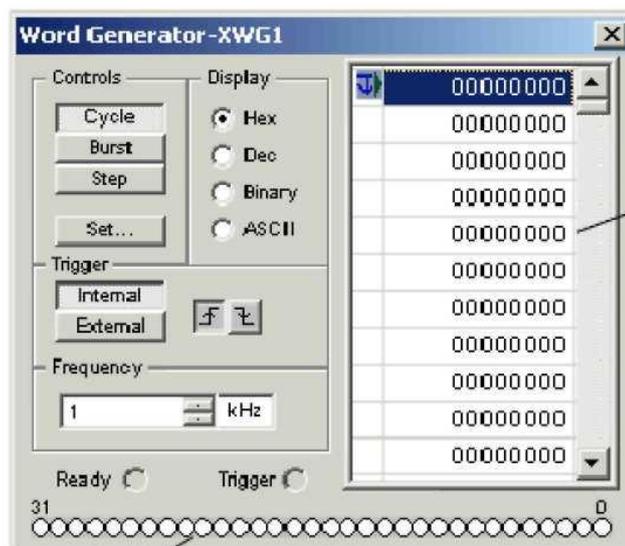


Рис. 3

1.4.2. Настройка генератора слов

Двойной щелчок по иконке открывает панель управления инструмента (Рис.4), которая используется для установок режимов и последовательности генерируемых кодов.



Выходные выводы, соответствуют тем, что на иконке.

Буфер - сохраняет шаблоны слов или генерирует предустановленные шаблоны.

Рис. 4

Последовательность слов задается в двоичной, шестнадцатеричной, десятичной системах счисления или в виде символов в коде ASCII. Выбор способа отображения производится в поле **Display**. Задание слов, определяющих последовательность выводимых кодов, производится в поле буфера с правой стороны панели управления генератора. Слова вводятся в виде чисел, изменяющихся от 00000000 до FFFFFFFF в шестнадцатеричной системе счисления (от 0 до 4 294 967 295 в десятичной). Каждая горизонтальная строка представляет одно слово. Когда генератор слов активизирован, строки бит поочередно в параллельном коде выводятся на соответствующие выводы внизу прибора.

Для задания или изменения значений бит выводимых генератором слов выберите курсором слово, которое вы хотите модифицировать, и введите новое значение в его поле, используя подходящий формат числа. В данном практическом занятии удобно использовать двоичный формат (Binary).

Когда слова появляются на выходах генератором, значение каждого бита появляется внизу панели управления в кружочках, представляющих выходные выводы.

После занесения содержимого буфера вывода необходимо определить начальный и конечный номера слов, подлежащих выводу при пуске генератора. Производится это с помощью контекстного меню. Сначала следует на поле буфера выбрать курсором слово, которое должно выводиться первым в последовательности кодов и щелчком ПКМ вызвать контекстное меню (Рис.5). В этом меню выбрать **Set Initial Position**.



Рис. 5

Аналогичным способом устанавливается и последний выводимый код с помощью п. **Set Final Position** контекстного меню.

С помощью п. **Set Cursor** устанавливается номер кода, с которого начнется или продолжится приостановленный процесс после пуска моделирования.

Пунктами **Set Break Point** и **Delete Break Point** можно задавать и удалять точки остановов, т.е. номера кодов, при достижении которых будет приостанавливаться автоматический вывод очередного кода.

1.4.3. Настройка режима вывода и запуск генератора

Режим вывода слов генератора задается в поле **Controls** , приведенном на рис.6.

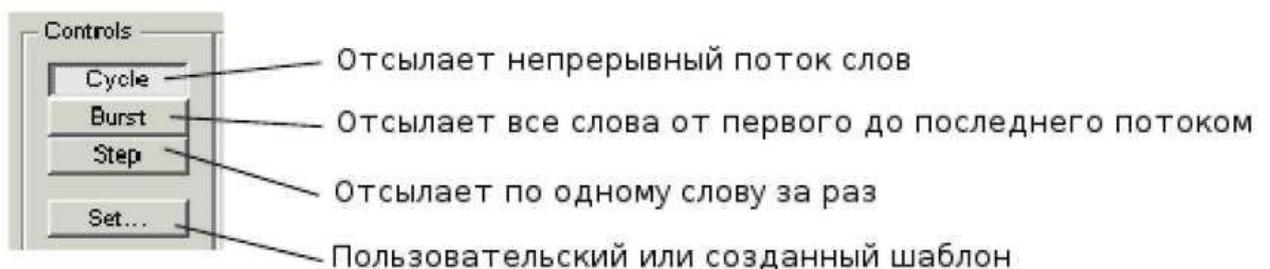


Рис. 6

Для подачи 32 битовых слов в схему щелкните по **Step**, **Burst** или **Cycle**. Щелчок ЛКМ по одной из клавиш устанавливает соответствующий режим вывода и запускает процесс моделирования, прервать который можно щелчком ЛКМ по клавише симуляции **Stop** на панели **Simulation**.

- ▶ Для отправки одного слова за раз в схему, щелкните ЛКМ по **Step**. После вывода одного кода, на который указывает курсор в поле буфера, моделирование приостановится. Следующий код можно вывести повторным щелчком.
- ▶ Для передачи последовательности слов от начальной до конечной метки щелкните **Burst**.
- ▶ Щелчком по **Cycle** отсылается непрерывный поток слов, циклически повторяющихся со слова напротив начальной метки до конечной включительно.

1.5. Логический анализатор

Логический анализатор отображает логические состояния до 16 цифровых сигналов. Используется для быстрого сбора данных о логическом состоянии и расширенного временного анализа при разработке больших систем и выявления неисправностей.

1.5.1. Подключение логического анализатора

Для размещения инструмента на рабочем поле щелкните по кнопке **Logic Analyzer** на панели **Instruments** и щелкните там, где нужно разместить иконку в рабочей области. Иконка (Рис.7) используется для подключения логического анализатора к схеме. Дважды щелкните по иконке, чтобы открыть панель инструмента (Рис.8), которая используется для установок и просмотра результатов измерения.

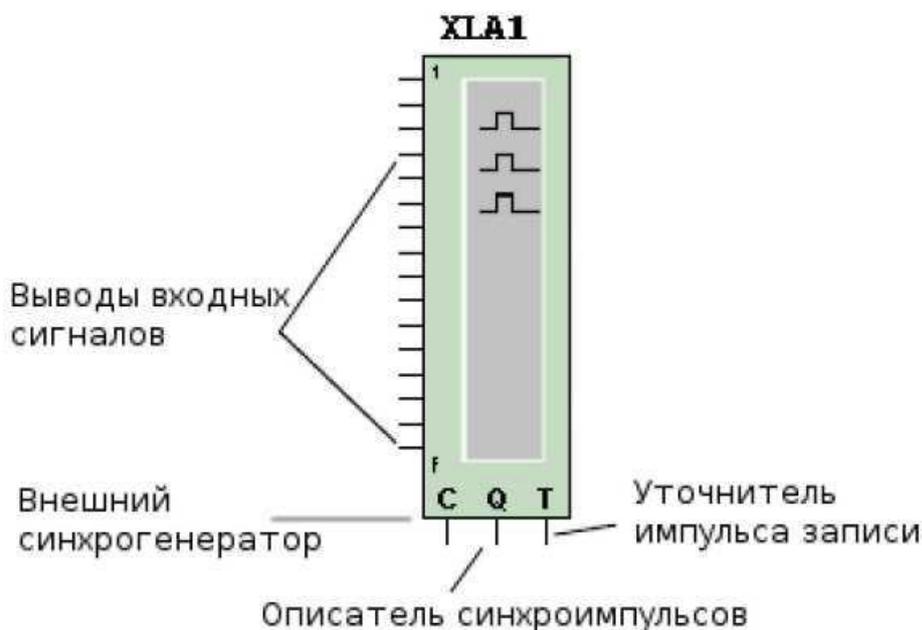


Рис. 7

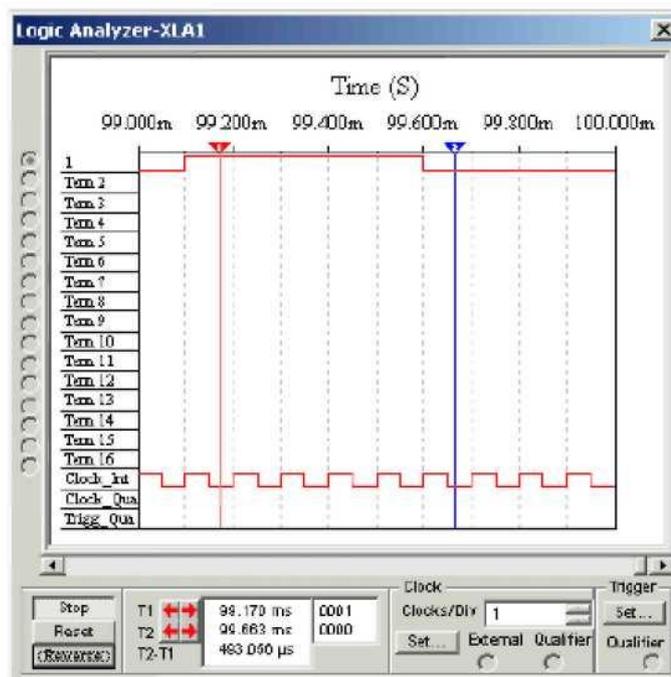


Рис.8

16 кружков на левой стороне иконки относятся к выводам и горизонтальным строкам на панели инструмента. Когда выводы соединены с узлами, кружки отображаются с черными точками и отображаются имена узлов и цвет. Иначе кружки выводов отображаются без черных точек.

Когда схема активизируется, логический анализатор непрерывно записывает входные значения своих выводов в течение всего процесса моделирования. Данные отображаются как прямоугольные импульсы нормированной амплитуды. Если значение напряжения на входе больше напряжения заданного в п. **Threshold** меню **Clock setup**, выводится единица. В противном случае - нулевое значение.

Верхний ряд отображает значения канала 1, следующий канала 2 и т.д. Двоичные значения каждого бита в текущем слове отображаются на выводах с левой стороны панели прибора. Временная ось отображается, как верхняя ось диалогового окна отображения сигналов. Диалоговое окно также отображает сигнал внутреннего тактового генератора, внешнего тактового генератора, сигнала внешнего описателя синхроимпульсов и сигнала уточнителя импульсов записи.

Записанные диаграммы могут иметь большую длину и не уместиться на экране. В этом случае для просмотра диаграмм по частям следует воспользоваться движком под диаграммами. Просмотреть диаграммы сразу по всей длине можно изменив масштаб по оси времени в окне **Clocks/Div**.

Остановить процесс записи можно кнопкой **Stop** на панели **Clock**. Здесь же присутствует кнопка **Reset**, которая позволяет очистить экран анализатора. Кнопка **Reverse** меняет цвет

фона экрана с черного цвета на белый. На занятиях следует использовать белый цвет фона, потому что так меньше устают глаза и выше качество при распечатке отчетов.

1.5.2. Настройка логического анализатора

Настройка логического анализатора в практических и лабораторных работах сводится к выбору задания тактовых импульсов, установке частоты импульсов и заданию порогового значения напряжения, отличающего логические нули от единиц. Остальные параметры для большинства случаев вполне приемлемы и могут приниматься по умолчанию.

Настройки выполняются с помощью клавиши **Set ...** на панели **Clock** анализатора. Щелчок ЛКМ по указанной клавише вызывает диалоговое окно **Clock Setup**, приведенное на рис.9.

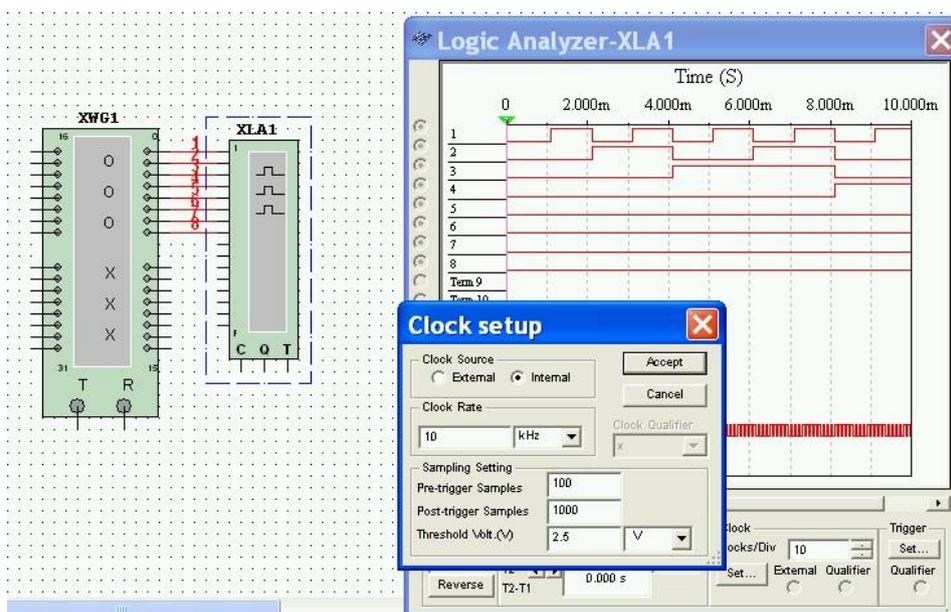


Рис.9

Тактовые импульсы определяют моменты считывания анализатором сигналов со входов. Внутренний генератор тактовых импульсов задан по умолчанию. При этом запись сигналов начинается одновременно с пуском процесса моделирования и поэтому достаточно хорошо синхронизован с генератором кодовых слов, если он так же использует внутренний тактовый генератор. В лабораторных и практических работах предпочтительно использовать внутренние тактовые генераторы. Черная точка в этом случае должна быть в круге **Internal** поля **Clock Source**.

Частота тактовых импульсов определяет скорость развертки по оси времени. Устанавливается в поле **Clock Rate**. Величина ее для микросхем серии 1533 может выбираться в пределах от 0 Гц. до 10 - 50 МГц., но обязательно с учетом частоты тактовых импульсов генератора слов. В простейшем случае их следует брать равными.

Пороговое значение сигналов устанавливается в окне **Threshold Volt.(V)**. Для микросхем с напряжением питания +5 В. это значение должно быть 2,5 - 2,4 В. Для микросхем с питанием 3 В. - 1,5 - 1,4 В. Сигналы входов, на которых напряжение больше порогового, на диаграммах индицируются как логические единицы, в противном случае - как нули.

После установки параметров необходимо завершить этот процесс щелчком ЛКМ по клавише **Accept**, чтобы система приняла их к исполнению.

2. ЛАБОРАТОРНОЕ ЗАДАНИЕ

2.1. Домашнее задание

Домашнее задание выполняется студентами самостоятельно в порядке предварительной подготовки к аудиторному занятию, рассчитанному на четырехчасовое занятие в компьютерном классе.

В процессе домашней подготовки к аудиторному занятию необходимо выполнить следующее:

2.1.1. Изучить по рекомендованной литературе и данному пособию ввод электрической схемы логического устройства, виды и расположение логических элементов в базе данных пакета Multisim.

2.1.2. Изучить измерительные приборы, представленные на панели инструментов Multisim. Подробно разберите приборы для анализа функционирования логических схем: функциональный генератор (Function Generator), осциллограф (Oscilloscope), генератор кодовых последовательностей (Word Generator) и анализатор кодовых последовательностей (Logic Analyser).

2.2. Аудиторное задание

2.2.1. Исследуйте функционирование логической схемы **Не** с помощью функционального генератора и осциллографа. По полученным осциллограммам составьте таблицы истинности проанализированной логической схемы.

2.2.2. С помощью генератора кодовых слов организуйте генерацию кодовой последовательности из 32 нарастающих двоичных кодов. Первый двоичный код должен быть равен номеру фамилии в журнале учебной группы. Каждый последующий код должен быть на единицу больше предыдущего. Последовательность вывести на анализатор кодовых последовательностей.

2.2.3. Исследуйте функционирование логических схем **И-Не** и **ИЛИ-Не** с помощью генератора кодовых последовательностей и анализатора кодовых последовательностей. По

полученным временным диаграммам составьте таблицы истинности проанализированных логических схем.

3. МАТЕРИАЛЫ К РАБОТЕ

1. Шестеркин А.Н. Система моделирования и исследования радиоэлектронных устройств Multisim 10. – М.: ДМК Пресс, 2012 – 360 С. ISBN 978-5-94074-756-7
2. Multisim. Руководство пользователя. National Instruments Corporation. 2007. - 491 с.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Почему осциллограф удобней, чем логический анализатор для исследования свойств отдельных микросхем?
2. В каких случаях анализ логических схем приходится производить с помощью генератора слов и логического анализатора.
3. Каким должно быть соотношение тактовых частот генератора слов и логического анализатора, чтобы диаграммы на экране анализатора корректно отображали колебания на выходе исследуемой логической схемы?
4. Какие средства управления растяжения или сжатия изображения по горизонтали на экране имеются в логическом анализаторе?
5. Как задать последовательность кодов меняющихся во времени на выходах генератора слов?

Лабораторная работа № 2
СИНТЕЗ ЭЛЕКТРОННЫХ КОМБИНАЦИОННЫХ СХЕМ
НА ОСНОВЕ СДНФ

ЦЕЛЬ РАБОТЫ

На данном занятии студенты закрепляют знания по теории синтеза логических схем с использованием совершенной дизъюнктивной нормальной формы описании логических комбинационных устройств.

1. ТЕОРЕТИЧЕСКИЕ ОСНОВЫ

1.1. Синтез комбинационных устройств

Проектирование схемы логического устройства интуитивным способом (что называется в уме) является трудной задачей практически неразрешимой для сложных логических функций. Формализовать эту задачу можно с помощью канонических форм. Такими формами являются: совершенная дизъюнктивная нормальная форма (СДНФ) и совершенная конъюнктивная нормальная форма (СКНФ). Используя эти формы, можно синтезировать любое комбинационное устройство.

1.1.1. Дизъюнктивная нормальная форма

Дизъюнктивная нормальная форма (ДНФ) это форма представления логической функции в виде логической суммы (**дизъюнкции**) набора логических произведений (**конъюнкций**) входных логических сигналов (аргументов) либо их инверсий. Общая схема логической функции в виде ДНФ представлена на рис. 1.

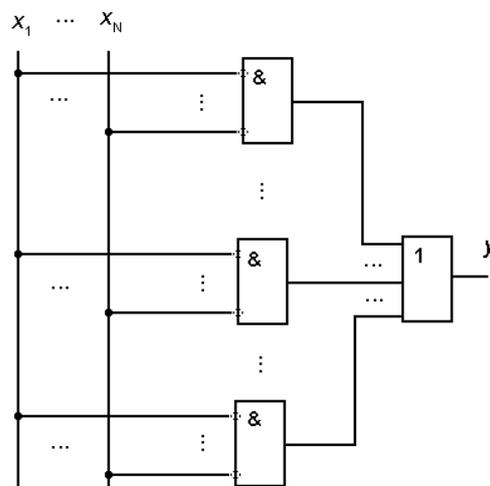


Рис. 1

Если в каждой конъюнкции представлены все аргументы функции либо их инверсии, то такая форма называется **совершенной дизъюнктивной нормальной формой (СДНФ)**.

Совершенная нормальная форма обладает важным свойством: **любая логическая функция может быть представлена в ней и только единственным образом**.

Чтобы реализовать требуемую логическую функцию по таблице истинности реализуемой функции, инверсии на входах схем И добавляются так, чтобы каждая конъюнкция принимала единичное значение только при одном единственном наборе входных переменных, соответствующем одной из единиц в таблице. Таким образом, при значении набора входных переменных, соответствующих одной из единиц таблицы, одна из конъюнкций даст на выходе единицу, а остальные – нули. Если любая из конъюнкций равна логической единице, то функция принимает единичное значение.

Очевидно, что каждой единице в таблице истинности должна соответствовать своя конъюнкция. В результате при каждом наборе входных переменных, соответствующем единице в таблице истинности, на выходе дизъюнкции будет появляться единица.

С другой стороны, при наборах, соответствующих нулям таблицы, все конъюнкции выработают нулевые значения, а на выходе дизъюнкции будет нулевое значение.

Каждая конъюнкция в СДНФ имеет ранг N , равный числу переменных логической функции.

1.2. Запись СДНФ.

Записывают СДНФ по таблице истинности согласно следующим правилам.

1. СДНФ имеет столько конъюнкций, сколько единичных значений принимает функция.
2. Для каждого единичного значения функции составляется элементарная конъюнкция входных переменных. Если в наборе, соответствующем данной единице, входная переменная имеет нулевое значение, то ее записывают с инверсией.
3. Логически суммируют все конъюнкции.

Пример:

Составим СДНФ комбинационного устройства. Допустим мы имеем таблицу истинности, согласно которой логическая функция y принимает единичные значения на наборах 000, 010, 101, 111 (0,2,5,7). Поэтому СДНФ содержит 4 конъюнкции.

Записываем СДНФ в виде суммы произведений трех сомножителей с учетом инверсий по п.2 :

$$y(x_1, x_2, x_3) = \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 + \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 + x_1 \cdot \bar{x}_2 \cdot x_3 + x_1 \cdot x_2 \cdot x_3 .$$

По полученной формуле составляем схему логического устройства. Получившаяся схема приведена на рис. 2.

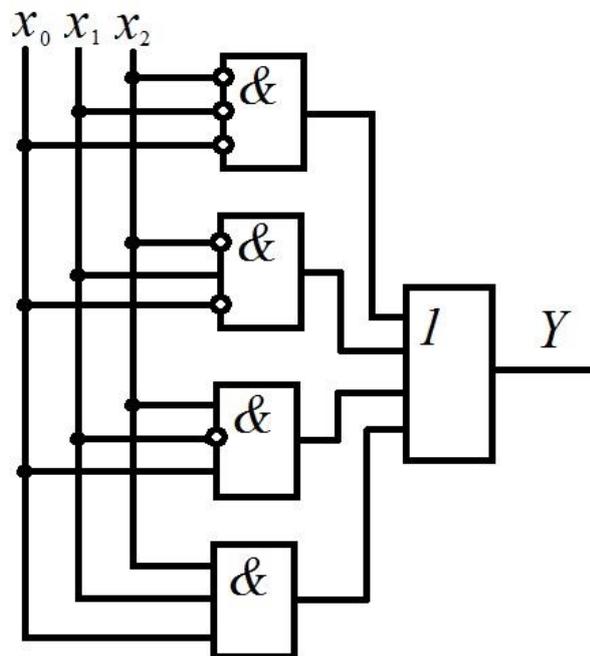


Рис. 2

1.3. Синтез комбинационных устройств в заданном базисе

При синтезе логических комбинационных схем из реальных логических элементов возникает проблемы связанные с отсутствием в серии нужных логических элементов. В этом случае приходится их заменять наборами из других элементов имеющихся в серии, так чтобы выполняемая функция соответствовала требуемой. В этом случае порядок синтеза несколько меняется.

В этом случае синтез комбинационного устройства осуществляется в следующей последовательности:

1. Функции, представленные в произвольной форме (чаще всего в табличной), записывают в виде логического выражения СДНФ либо СКНФ.
2. Проводится минимизация логических функций любым методом.
3. Логические функции переводятся в заданный базис, соответствующий ограничениям на элементную базу.
4. Строится функциональная схема комбинационного устройства.

С помощью элементов И-НЕ (штрих Шеффера) либо ИЛИ-НЕ (стрелка Пирса) можно реализовать любую функцию алгебры логики. В наборах реальных серий логических микросхем хотя бы один из этих элементов обычно присутствует и всегда можно подобрать замену нужных элементов комбинацией из имеющихся. Для этого можно воспользоваться законом де Моргана.

Действительно функцию И можно реализовать через функции (НЕ, ИЛИ):

$$a \cdot b = \overline{\overline{a \cdot b}} = \overline{\overline{a} \vee \overline{b}},$$

а функцию ИЛИ можно реализовать через функции (НЕ, И):

$$a \vee b = \overline{\overline{a \vee b}} = \overline{\overline{a} \cdot \overline{b}}.$$

Таким образом мы можем избавиться от одной из трех функций базиса И, ИЛИ, НЕ. Можно исключить из базиса элемент И или ИЛИ, но нельзя исключить **инверсию**.

Довольно удобно технически реализуются на микросхемах логические элементы, совмещающие в себе сразу две функции, например: И-НЕ или ИЛИ-НЕ. Удобство объясняется тем, что в элементах И-НЕ или ИЛИ-НЕ всегда присутствует простейший транзисторный усилитель, в котором обычно инвертируется фаза входного сигнала, т.е. изменяется на 180°.

Каждый из элементов **(И-НЕ) (штрих Шеффера), (ИЛИ-НЕ) (стрелка Пирса) в отдельности является функционально полным базисом**, который позволяет синтезировать любое сколь угодно сложное логическое устройство.

Рассмотрим, для примера, реализацию функций НЕ, ИЛИ, И в базисе (И-НЕ). Для инверсии необходимо просто подать входной сигнал на оба входа. Для дизъюнкции — воспользоваться законом де Моргана, т.е. сначала инвертировать входные сигналы, а потом над результатами выполнить операцию И-НЕ. Для конъюнкции — сначала применить операцию И-НЕ, а затем инвертировать входные сигналы.

$$\bar{x} = \overline{xx};$$

$$x_1 \vee x_2 = \overline{\overline{x_1 \vee x_2}} = \overline{\overline{x_1} \cdot \overline{x_2}};$$

$$x_1 x_2 = \overline{\overline{x_1 x_2}}.$$

На рис. 2 эти тождественные замены показаны в виде функциональных схем.

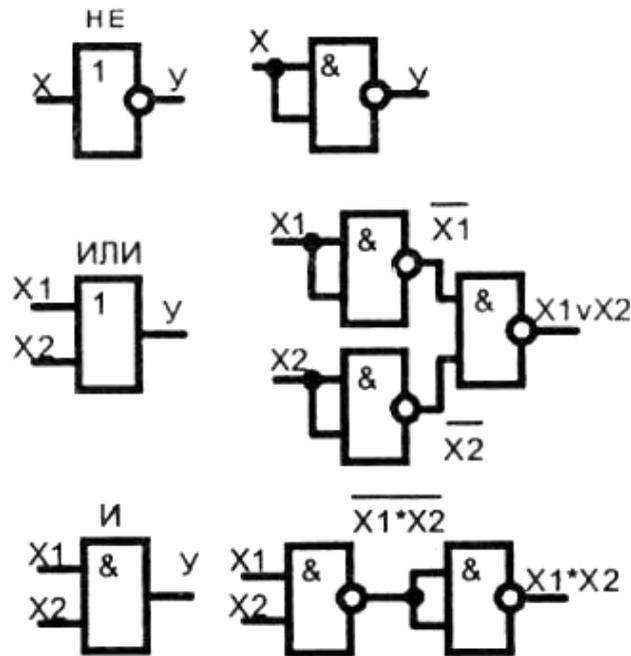


Рис. 2

Привлекательность базисов из одной логической функции (И-НЕ) либо (ИЛИ-НЕ) заключается в том, что все логическое устройство построено только на одностипных логических элементах.

Недостатком минимальных базисов является увеличение числа логических элементов в схеме, что приводит к ее усложнению и увеличению временных задержек.

2. ЛАБОРАТОРНОЕ ЗАДАНИЕ

2.1. Домашнее задание

Домашнее задание выполняется в порядке предварительной подготовки к аудиторному четырех часовому занятию в компьютерном классе. Каждый студент выполняет задание самостоятельно согласно индивидуальному варианту.

Варианты заданий

Порядковый номер по журналу группы	Десятичные значения входных двоичных кодов, при которых на выходе появляется единица	Серия микросхем, на которых выполняется моделирование
1	4, 8, 14, 2, 4, 10, 0, 3	KP1533 (74ALS)
2	10, 12, 14, 6, 4, 7, 4	KP1531 (74F)
3	8, 12, 10, 2, 6, 8, 4, 3, 1	KP1554 (CMOS_5V)
4	4, 0, 14, 12, 9, 6, 2	KP1564 (74HC_2V)
5	14, 6, 12, 8, 9, 2, 3	K555(74LS)
6	6, 10, 4, 2, 14, 12, 10, 7, 13, 8	KP1533 (74ALS)
7	15, 0, 2, 4, 8, 10, 11, 13, 3	KP1531 (74F)
8	0, 4, 2, 15, 12, 8, 10	KP1554 (CMOS_5V)
9	0, 2, 8, 15, 6, 4, 13, 8, 14, 11	KP1564 (74HC_2V)
10	8, 2, 15, 14, 10, 3, 4, 9, 6	K555(74LS)
11	1, 2, 10, 11, 12, 6, 7, 8, 1, 15	KP1533 (74ALS)
12	2, 10, 8, 15, 7, 4, 6	KP1531 (74F)
13	0, 2, 8, 13, 7, 6, 1	KP1554 (CMOS_5V)
14	1, 12, 8, 6, 4, 2, 7, 11, 15, 6	KP1564 (74HC_2V)
15	1, 3, 4, 6, 8, 9, 11, 13, 15	K555(74LS)
16	3, 4, 5, 6, 8, 10, 14	KP1533 (74ALS)
17	10, 0, 1, 2, 4, 7, 8, 12, 6, 13	KP1531 (74F)
18	15, 8, 6, 0, 1, 2, 10, 13, 14	KP1554 (CMOS_5V)
19	0, 1, 2, 4, 6, 7, 8, 10, 11, 13	KP1564 (74HC_2V)
20	1, 2, 3, 4, 8, 9, 10, 11, 12, 14	K555(74LS)
21	2, 4, 5, 6, 9, 10, 11	KP1533 (74ALS)
22	0, 1, 3, 4, 9, 11, 14	KP1531 (74F)
23	13, 0, 1, 2, 4, 5, 6, 7, 11, 15	KP1554 (CMOS_5V)
24	0, 1, 2, 4, 5, 7, 10, 12, 14	KP1564 (74HC_2V)
25	0, 2, 3, 7, 8, 10, 11	K555(74LS)
26	1, 2, 3, 4, 6, 7, 9, 12, 13, 14	KP1533 (74ALS)
27	0, 2, 3, 5, 8, 9, 11	KP1531 (74F)
28	0, 1, 2, 4, 6, 7, 9, 11, 12, 14	KP1554 (CMOS_5V)
29	1, 2, 3, 4, 6, 7, 9, 11, 14, 15	KP1564 (74HC_2V)
30	0, 2, 3, 5, 9, 11, 12	K555(74LS)

В процессе домашней подготовки к аудиторному занятию необходимо выполнить следующее:

1. Изучить формы задания логических функций, основы алгебры логики и представление логических функций в совершенной дизъюнктивной нормальной форме (СДНФ).

2. Ознакомиться с порядком синтеза комбинационных логических устройств с использованием СДНФ.
3. Составить таблицу истинности для логической функции согласно индивидуальному варианту задания.
4. По таблице истинности синтезировать аналитические формулы логической функции в СДНФ в базисе И-ИЛИ-НЕ.

2.2. Аудиторное задание

1. Составить схему синтезированного устройства в среде Multisim в базисе серии логических микросхем заданной вариантом серии.
2. С помощью генератора слов и логического анализатора построить осциллограммы, отражающие зависимость выходных кодов от всех возможных комбинаций значений входных логических сигналов.
3. Построить таблицу истинности по полученным экспериментальным осциллограммам и сравнить её с заданной функцией.

3. МАТЕРИАЛЫ К РАБОТЕ

1. Курс лекций по дисциплине "Цифровые устройства и микропроцессоры". Лекция 1, п.1. Лекция 4. п.1-2.
2. Цифровые устройства и микропроцессоры / Д.А. Безуглов, И.В. Калиниченко. – Ростов н/Д.: Феникс, 2006 - 480с. Стр.: 16 -17, 41 - 44
3. Multisim. Руководство пользователя. National Instruments Corporation. 2007. - 491 с.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Сколько конъюнкций надо составить в СДНФ?
2. Сколько сомножителей должно быть в конъюнкции СДНФ?
3. Почему в каждой конъюнкции СДНФ должны присутствовать все входные переменные?
4. Как выглядит формула комбинационной логической схемы синтезируемой с помощью СДНФ?
5. Почему над входной переменной в формуле СДНФ ставится символ инверсии, если переменная равна нулю?
6. Почему в электрической схеме, синтезированной посредством СДНФ, удобнее с помощью инверсии сразу
7. Как заменить конъюнкцию или дизъюнкцию при составлении схемы, если нужный элемент отсутствует в заданной серии логических микросхем?

Лабораторная работа № 3.
СИНТЕЗ ЭЛЕКТРОННЫХ КОМБИНАЦИОННЫХ СХЕМ

ЦЕЛЬ РАБОТЫ

На данном занятии студенты закрепляют знания по теории синтеза логических схем с использованием совершенной конъюнктивной нормальной формы описании логических комбинационных устройств.

1. ТЕОРЕТИЧЕСКИЕ ОСНОВЫ

1.1. Комбинационные логические устройства

Комбинационные устройства — цифровые устройства, выходные сигналы которых зависят только от входных сигналов, действующих в текущий момент времени, и не зависят от предыдущего внутреннего состояния или предшествующих входных сигналов. Другими словами, комбинационные устройства — это устройства без памяти

При проектировании логических устройств решаются две взаимнообратные классические задачи: **анализ** и **синтез**. В первом случае исследуют поведение автомата, схема которого известна. Во втором – стремятся построить схему автомата по требуемой логике работы.

1.2. Синтез комбинационных устройств

Проектирование схемы логического устройства интуитивным способом (что называется в уме) является трудной задачей практически неразрешимой для сложных логических функций. Формализовать эту задачу можно с помощью канонических форм. Такими формами являются: совершенная дизъюнктивная нормальная форма (СДНФ) и совершенная конъюнктивная нормальная форма (СКНФ). Используя эти формы, можно синтезировать любое комбинационное устройство.

1.2.1. Конъюнктивная нормальная форма (КНФ)

Это форма представления логической функции в виде конъюнкции (логического произведения) элементарных дизъюнкций (логических сумм). Функциональная схема в КНФ представлена на рис.1.

Если в каждом члене КНФ (в каждой дизъюнкции) представлены все аргументы функции либо их инверсии, то такая форма называется **совершенной конъюнктивной нормальной формой** (СКНФ).

Любая логическая функция может быть представлена в форме СКНФ и только единственным образом.

Если любая из дизъюнкций становится равной нулю, то и логическая функция принимает нулевое значение. **Каждая дизъюнкция является конституентой нуля.**

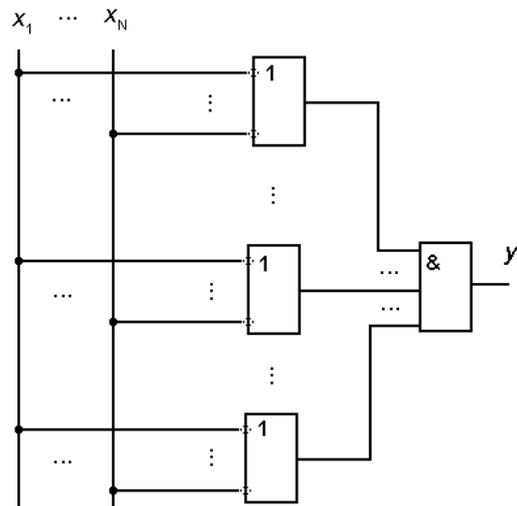


Рис. 1

Каждая дизъюнкция в СКНФ имеет ранг n , равный числу переменных логической функции N . КНФ может содержать дизъюнкции с рангом меньше N .

1.2.2. Запись СКНФ.

1. СКНФ имеет столько дизъюнкций, сколько нулевых значений принимает функция.
2. Для каждого нулевого значения функции составляется элементарная дизъюнкция входных переменных. Если в наборе, соответствующем данному нулю, входная переменная имеет единичное значение, то ее записывают с инверсией.
3. Логически перемножают все дизъюнкции.

Для составления структурной схемы устройства по заданному таблице истинности алгоритму, можно непосредственно воспользоваться записью логической функции в форме СДНФ либо СКНФ. Канонические формы позволяют получить устройства, обеспечивающие заданное функционирование. Недостатком синтеза комбинационных устройств с помощью СДНФ и СКНФ является обычно избыточное количество элементов. Для уменьшения числа элементов применяют минимизацию числа логических элементов.

На первом этапе синтеза надо подсчитать число единиц и нулей в таблице истинности. Если единиц меньше чем нулей применяют СДНФ. В противном случае – СКНФ.

2. ЛАБОРАТОРНОЕ ЗАДАНИЕ

2.1. Домашнее задание

В процессе домашней подготовки к аудиторному занятию необходимо выполнить следующее:

1. Изучить формы задания логических функций, основы алгебры логики и представление логических функций в совершенной конъюнктивной нормальной форме (СКНФ).

2. Ознакомиться с порядком синтеза комбинационных логических устройств с использованием СКНФ.

3. Составить таблицу истинности для логической функции согласно индивидуальному варианту задания.

4. Синтезировать аналитические формулы логической функции в СКНФ для схемы, имеющей четыре двоичных входа и один выход.

Варианты заданий

Порядковый номер по журналу группы	Десятичные значения входных двоичных кодов, при которых на выходе появляется единица	Серия микросхем, на которых выполняется моделирование
1	4, 8, 14, 2, 4, 10, 0, 3	KP1533 (74ALS)
2	10, 12, 14, 6, 4, 7, 4	KP1531 (74F)
3	8, 12, 10, 2, 6, 8, 4, 3, 1	KP1554 (CMOS_5V)
4	4, 0, 14, 12, 9, 6, 2	KP1564 (74HC_2V)
5	14, 6, 12, 8, 9, 2, 3	K555(74LS)
6	6, 10, 4, 2, 14, 12, 10, 7, 13, 8	KP1533 (74ALS)
7	15, 0, 2, 4, 8, 10, 11, 13, 3	KP1531 (74F)
8	0, 4, 2, 15, 12, 8, 10	KP1554 (CMOS_5V)
9	0, 2, 8, 15, 6, 4, 13, 8, 14, 11	KP1564 (74HC_2V)
10	8, 2, 15, 14, 10, 3, 4, 9, 6	K555(74LS)
11	1, 2, 10, 11, 12, 6, 7, 8, 1, 15	KP1533 (74ALS)
12	2, 10, 8, 15, 7, 4, 6	KP1531 (74F)
13	0, 2, 8, 13, 7, 6, 1	KP1554 (CMOS_5V)
14	1, 12, 8, 6, 4, 2, 7, 11, 15, 6	KP1564 (74HC_2V)
15	1, 3, 4, 6, 8, 9, 11, 13, 15	K555(74LS)
16	3, 4, 5, 6, 8, 10, 14	KP1533 (74ALS)
17	10, 0, 1, 2, 4, 7, 8, 12, 6, 13	KP1531 (74F)
18	15, 8, 6, 0, 1, 2, 10, 13, 14	KP1554 (CMOS_5V)
19	0, 1, 2, 4, 6, 7, 8, 10, 11, 13	KP1564 (74HC_2V)
20	1, 2, 3, 4, 8, 9, 10, 11, 12, 14	K555(74LS)
21	2, 4, 5, 6, 9, 10, 11	KP1533 (74ALS)
22	0, 1, 3, 4, 9, 11, 14	KP1531 (74F)
23	13, 0, 1, 2, 4, 5, 6, 7, 11, 15	KP1554 (CMOS_5V)
24	0, 1, 2, 4, 5, 7, 10, 12, 14	KP1564 (74HC_2V)
25	0, 2, 3, 7, 8, 10, 11	K555(74LS)
26	1, 2, 3, 4, 6, 7, 9, 12, 13, 14	KP1533 (74ALS)
27	0, 2, 3, 5, 8, 9, 11	KP1531 (74F)
28	0, 1, 2, 4, 6, 7, 9, 11, 12, 14	KP1554 (CMOS_5V)
29	1, 2, 3, 4, 6, 7, 9, 11, 14, 15	KP1564 (74HC_2V)
30	0, 2, 3, 5, 9, 11, 12	K555(74LS)

2.2. Аудиторное задание

1. Составить схему синтезированного устройства в среде Multisim из микросхем заданной серии, заменяя отсутствующие логические элементы комбинациями из имеющихся.
2. С помощью генератора слов и логического анализатора построить осциллограммы, отражающие зависимость выходных кодов от всех возможных комбинаций значений входных логических сигналов.
3. Построить таблицы истинности по полученным экспериментальным осциллограммам и сравнить их между собой и с заданной функцией.

3. МАТЕРИАЛЫ К РАБОТЕ

1. Курс лекций по дисциплине "Цифровые устройства и микропроцессоры". Лекция 1, п.1. Лекция 4. п.1-2.
2. Цифровые устройства и микропроцессоры / Д.А. Безуглов, И.В. Калиниченко. – Ростов н/Д.: Феникс, 2006 - 480с. Стр.: 16 -17, 41 - 44

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Сколько дизъюнкций надо составить в СКНФ?
2. Сколько сомножителей должно быть в дизъюнкции СКНФ?
3. Почему в каждой дизъюнкции СКНФ должны присутствовать все входные переменные?
4. Как выглядит формула комбинационной логической схемы синтезируемой с помощью СКНФ?
5. Почему над входной переменной в формуле СКНФ ставится символ инверсии, если переменная равна единице?

Лабораторная работа № 4.

МИНИМИЗАЦИЯ КОМБИНАЦИОННЫХ ЛОГИЧЕСКИХ СХЕМ

ЦЕЛЬ РАБОТЫ

Целью данной лабораторной работы является изучение методов оптимизации электрических схем логических комбинационных устройств. На данном занятии студенты закрепляют знания по теории синтеза комбинационных логических схем с использованием минимизации с помощью карт Карно.

1. КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Проводить минимизацию логического выражения можно непосредственно с использованием тождеств алгебры логики. Но для проведения такой минимизации нет готовых алгоритмов, поэтому проектировщик действует эвристически.

Упрощение по стандартным алгоритмам позволяет повысить эффективность минимизации и применить машинные методы автоматического проектирования.

Исходным для проведения минимизации является заданное функционирование комбинационного устройства в какой-либо форме. Чаще в виде таблицы истинности.

В настоящее время известен ряд методов минимизации логических функций: метод Квайна, метод Квайна - Мак-Класки, метод карт Карно и др.

Наиболее просто минимизация логических комбинационных схем выполняется методом карт Карно, который использован в данной лабораторной работе, составленной на основе [3].

Процесс оптимизации начинается с представления таблицы истинности в виде карты Карно. При записи таблицы истинности в виде **карты Карно** аргументы функции (входные переменные) делятся на две группы примерно равной длины. Комбинации значений аргументов одной группы приписываются столбцам таблицы, комбинации значений аргументов другой группы — строкам таблицы. Столбцы и строки обозначаются комбинациями, соответствующими последовательности чисел в **коде Грея**. Этот код удобен тем, что к одинаковым значениям в соседних клетках таблицы может быть применена операция склеивания. В коде Грея переход от одной комбинации входных переменных к соседней сопровождается изменением значений логических переменных только в одном разряде. Пример таблицы кода Грея для двух разрядных чисел показана на рис. 1.

Десятичный код	0	1	2	3
Двоичный код	00	01	10	11
Код Грея	00	01	11	10

Рис. 1

В двоичном коде переход от кода 1 к коду 2 сопровождается изменением логической переменной сразу в двух разрядах (01→10), а в коде Грея – в одном (01→11).

При заполнении карты Карно в ее клетки заносятся значения функции $f(X)$, которые соответствуют набору переменных на пересечении столбца и строки. Пример карты Карно для логической функции трех переменных приведен на рис.2.

x_1x_2	00	01	11	10
x_3				
0	0	0	1	0
1	1	0	1	1

Рис. 2

Единичные значения функции y_1 соответствуют наборам $x_1, x_2, x_3 = 110, 001, 101, 111$.

Карты Карно позволяют легко выделить области конъюнкций (либо дизъюнкций), которые подлежат упрощению.

Для минимизации логической функции в виде СДНФ выделяют прямоугольные области клеток, заполненные единицами. Каждая сторона области должна состоять из 2^K клеток, где K — целое число ($2^K = 1; 2; 4; 8; \dots$). Для такой области вместо составления элементарных конъюнкций на каждую единицу можно обойтись **одной общей конъюнкцией на всю область** сразу. С этой целью для каждой области составляется комбинация аргументов, которая однозначно определяет эту область. Разряды, которые в пределах области меняют свои значения, отмечаются символом (*), как на рис. 3, где представлен пример оптимизации логической функции с помощью карты Карно. Очевидно, что изменение этих разрядов в пределах области не меняет значения функции. Так как изменение этих разрядов не влияет на функцию y , можно не учитывать их в конъюнкции области.

	x_1, x_2	00	01	11	10	
x_3, x_4	00		1	1	1	область 2 x_1, x_2, x_3, x_4
	01					
	11			1	1	область 1 x_1, x_2, x_3, x_4
	10		1			
						область 3 x_1, x_2, x_3, x_4

Рис. 3.

При минимизации этой логической функции получаем три области единиц. Первой области соответствует набор $1*1*$, второй области – набор $1*00$, третьей области – $01*0$. Здесь разряды, которые можно удалить, заменены звёздочками. Третья область образуется крайними клетками второго столбца таблицы, так как крайние клетки столбцов и таблиц считаются соседними, потому что они тоже могут склеиваться.

При составлении МДНФ в виде формулы аргументы замененные звездочкой выбрасываются. Следовательно, минимальная ДНФ (МДНФ) для функции на рис.3 записывается в виде

$$y = x_1 x_3 + x_1 \bar{x}_3 \bar{x}_4 + \bar{x}_1 x_2 \bar{x}_4.$$

Чтобы получить минимальную КНФ в карте Карно аналогичными прямоугольными областями охватываются нулевые клетки, и также записываются наборы, соответствующие охваченным областям.

Получение МКНФ с использованием карты Карно показано на рис.4.

	x_1, x_2	00	01	11	10	
x_3	0	0	0	1	0	II область $*00$
	1	1	0	1	1	
						I область $01*$

Рис. 4

Для каждой области составляют элементарную дизъюнкцию, используя необходимые инверсии на её входах. Первой области соответствует набор $01*$, дизъюнкция $(x_1 \vee \bar{x}_2)$; второй области — набор $*00$, дизъюнкция $(x_2 \vee x_3)$. МКНФ функции запишем в виде

$$y = (x_1 \vee \bar{x}_2)(x_2 \vee x_3) \cdot$$

Из таблицы рис. 3 на примере видно, что крайние строки и столбцы считаются соседними (00 и 10 – отличаются только в одном разряде), т.е. карты Карно можно представлять в виде цилиндров по вертикали и горизонтали для выделения единичных либо нулевых областей.

2. ЗАДАНИЕ

2.1. Домашнее задание

Домашнее задание выполняется студентами самостоятельно в порядке предварительной подготовки к аудиторному занятию, рассчитанному на двухчасовое занятие в компьютерном классе.

В процессе домашней подготовки к аудиторному занятию необходимо выполнить следующее:

2.1.1. Изучить определение и технику построения карт Карно.

2.1.2. Построить карту Карно используя таблицы истинности логической функции согласно индивидуальному варианту из предыдущих занятий.

2.1.3. Провести оптимизацию с помощью карт Карно схемы синтезированной с применением СДНФ и составить схему оптимизированного логического устройства с использованием базовых элементов И и ИЛИ.

2.1.4. Провести оптимизацию с помощью карт Карно схемы синтезированной с применением СКНФ и составить схему оптимизированного логического устройства с использованием базовых элементов И и ИЛИ.

2.2. Аудиторное задание

2.2.1. Составить схемы обоих минимизированных устройства в среде Multisim, используя базовые элементы заданной серии.

2.2.2. С помощью генератора слов и логического анализатора построить осциллограммы, отражающие зависимость выходных кодов от всех возможных комбинаций значений входных логических сигналов для обеих оптимизированных схем.

2.2.3. Построить таблицы истинности по полученным экспериментальным осциллограммам и сравнить с исходной функцией.

2.2.4. Сравнить неоптимизированные и оптимизированные схемы. Оценить полученный выигрыш.

3. ВОПРОСЫ ДЛЯ САМОКОНТРОЛЯ

1. Почему объединяемые на карте Карно области должны иметь стороны с длиной кратной степени 2?
2. Почему крайние клетки столбца и/или строки карты Карно могут объединяться в одну область?
3. Может ли считаться одна клетка карты Карно считаться отдельной областью?
4. Как определить число схем И (СДНФ) или схем ИЛИ (СКНФ) по карте КАРНО с выделенными областями?
5. Как по карте КАРНО с выделенными областями определить число входов элементов схемы при минимизации?

4. ЛИТЕРАТУРА К ЗАНЯТИЮ

1. Курс лекций по дисциплине "Цифровые устройства и микропроцессоры" Лекция 4.
2. Цифровые устройства и микропроцессоры / Д.А. Безуглов, И.В. Калиниченко. – Ростов н/Д.: Феникс, 2006 - 480с. Стр.: 33 - 37, 53 - 54
3. Multisim. Руководство пользователя. National Instruments Corporation. 2007. - 491 с.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Цифровая схемотехника : учеб. пособие для вузов / Е.П. Угрюмов. — 3-е изд., перераб. и доп. — СПб.: БХВ-Петербург, 2010. — 809 с.: ил. - ISBN 978-5-9775-0162-0.
2. Цифровые устройства и микропроцессоры: учеб. пособие / А. В. Микушин, А. М. Сажнев, В. И. Сединин. — СПб.: БХВ-Петербург, 2010. — 832 с.: ил. — (Учебная литература для вузов). - ISBN 978-5-9775-0417-1.
3. Цифровые устройства и микропроцессоры /Д.А.Безуглов, И.В.Калиенко. – Ростов н/Д.: Феникс, 2006. – 480с.;
4. Брей Б. Применение микроконтроллеров PIC18: Пер. с англ. – СПб.: «МК-пресс»,2008. – 576. с.
5. Multisim. Руководство пользователя. National Instruments Corporation. 2007. - 491 с.
6. Шестеркин А.Н. Система моделирования и исследования радиоэлектронных устройств Multisim 10. – М.: ДМК Пресс,2012 – 360 С. ISBN 978-5-94074-756-7