Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Владимирский государственный университет
имени Александра Григорьевича и Николая Григорьевича Столетовых»
(ВлГУ)

Институт информационных технологий и радиоэлектроники

УТВЕРЖДАЮ:
Директор института
_____ Галкин А.А.
«31» 08 2021 г.

РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ

ЯЗЫКИ ОПИСАНИЯ АППАРАТУРЫ

направление подготовки
09.03.01 Информатика и вычислительная техника

направленность подготовки

Высокопроизводительные и распределенные вычисления

г. Владимир

2021

1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Целью освоения дисциплины "Языки описания аппаратуры" является знакомство и изучение студентами основ стандартных языков описания аппаратуры и систем моделирования и проектирования на их основе.

Задачи:

- Изучение базовых конструкций языка VHDL и методов проектирования устройств с использованием языка VHDL;
- изучение типовых маршрутов проектирования устройств в современных системах автоматизированного проектирования на ПЛИС;
- овладение навыками работы с коммерческими САПР.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОПОП

Дисциплина "Языки описания аппаратуры" относится к части, формируемой участниками образовательных отношений.

3. ПЛАНИРУЕМЫЕ РЕЗУЛЬТАТЫ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ

Планируемые результаты обучения по дисциплине, соотнесенные с планируемыми результатами освоения ОПОП (компетенциями и индикаторами достижения компетенций)

Формируемые компетенции (код, содержание компетенции)	Планируемые результаты обучения по дисциплине, в соответствии с индикатором достижения компетенции		Наименование оценочного средства
	Индикатор достижения компетенции *(код, содержание индикатора*	Результаты обучения по дисциплине	
ПК-2 Способен осуществлять концептуальное, функциональное и логическое проектирование систем среднего и крупного масштаба и сложности	ПК-2.1 Знает математические модели на различных уровнях представления ПК-2.2 Умеет интерпретировать результаты проектирования в САПР, готовить задания для работы с современными САПР ПК-2.3 Владеет способами математического описания вычислительных узлов	*Знать* основные приемы синтеза аппаратуры на основе VHDL, основные средства САПР для ПЛИС *Уметь* применять средства синтеза при проектировании устройств в базисе ПЛИС *Владеть* навыками работы с учебными и коммерческими САПР ПЛИС	Тестовые вопросы Практико-ориентированное задание

4. ОБЪЕМ И СТРУКТУРА ДИСЦИПЛИНЫ

Трудоемкость дисциплины составляет 6 зачетных единиц, 216 часов

Тематический план
форма обучения – очная

№ п/п	Наименование тем и/или разделов/тем дисциплины	Семестр	Неделя семестра	Контактная работа обучающихся с педагогическим работником				Самостоятельная работа	Формы текущего контроля успеваемости, форма промежуточной аттестации *(по семестрам)*
				Лекции	Практические занятия	Лабораторные работы	*в форме практической подготовки*		
1	**Введение в языки описания аппаратуры**	4		10	4	12		25	
1.1	Язык описания VHDL. Введение	4	1	2		4		5	
1.2	VHDL. Структура,типы, функции и процедуры	4	2	2	2			5	
1.3	VHDL: Структурное, потоковое и поведенческое описание	4	3-5	6	2	8		15	
2	**Проектирование комбинационных схем на VHDL**	4		12	6	12		30	
2.1	Проектирование дешифраторов	4	6	2	2			5	Рейтинг контроль 1
2.2	Описание схем шифраторов	4	7	2		4		5	
2.3	Описание мультиплексоров	4	8	2	2			5	
2.4	Проектирование сумматоров, вычитающих устройств и АЛУ	4	9	2		4		5	
2.5	Примеры проектирования комбинационных схем на VHDL	4	10-11	4	2	4		10	
3	**Проектирование последовательностных схем на VHDL**	4		8	4	8		20	
3.1	Принципы проектирования последовательностных логических схем	4	12-13	4	2	4		10	Рейтинг контроль 2
3.2	Синтез схем последовательностной логики	4	14	2	2			5	
3.3	Примеры проектирования последовательностных схем	4	15	2		4		5	

4	**Проектирование устройств в базисе ПЛИС**	4		6	4	4		15	
4.1	Программируемые логические ИС	4	16	2	2			5	
4.2	Интегральные схемы типа CPLD	4	17	2		4		5	
4.3	Интегральные схемы типа FPGA	4	18	2	2			5	Рейтинг контроль 3
Всего за 4 семестр:				36	18	36		90	Экзамен (36)
Наличие в дисциплине КП/КР									нет
Итого по дисциплине				36	18	36		90	Экзамен (36)

Содержание лекционных занятий по дисциплине

Раздел 1 **Введение в языки описания аппаратуры**

Тема 1 Язык описания VHDL. Введение

Содержание темы. История создания, возможности ЯОА. Схема процесса проектирования.

Тема 2 VHDL. Структура, типы, функции и процедуры

Содержание темы. Структура программ на VHDL, понятие объекта, архитектуры в VHDL. Стандартные типы, тип std_logic. Синтаксис объявления типов, функций и процедур.

Тема 3 VHDL: Структурное, потоковое и поведенческое описание

Содержание темы: Параллельные операторы: компонент, сигнальный, условный и избирательный сигнальный, оператор process. Последовательные операторы присваивания, операторы цикла, условия, разветвления.

Раздел 2 **Проектирование комбинационных схем на VHDL**

Тема 1 Проектирование дешифраторов

Содержание темы. Типы проектов: структурные, потоковые, поведенческие. Способы описания дешифраторов на VHDL.

Тема 2 Описание схем шифраторов

Содержание темы. Способы описания шифраторов на VHDL.

Тема 3 Описание мультиплексоров

Содержание темы. Способы описания мультиплексоров на VHDL.

Тема 4 Проектирование сумматоров, вычитающих устройств и АЛУ

Содержание темы. Способы описания АЛУ на VHDL. Операции с данными типа std_logic_vector, sinned, unsigned.

Тема 5 Примеры проектирования комбинационных схем на VHDL

Раздел 3 **Проектирование последовательностных схем на VHDL**

Описание синхронных и тактируемых схем. Приемы описания схем с обратными связями. Способы описания цифровых автоматов, конструкции языка VHDL для описания состояний автомата.

Тема 1 Принципы проектирования последовательностных логических схем

Содержание темы. Описание синхронных и тактируемых схем. Приемы описания схем с обратными связями. Способы описания цифровых автоматов,

Тема 2 Синтез схем последовательностной логики

Содержание темы. конструкции языка VHDL для описания состояний автомата.

Тема 3 Примеры проектирования последовательностных схем

Раздел 4 **Проектирование устройств в базисе ПЛИС**

Тема 1 Программируемые логические ИС

Содержание темы. Этапы проектирования устройств с использованием ЯОА. Средства автоматизированного проектирования в базисе ПЛИС. Моделирование времени на VHDL. Тестовые модули.

Тема 2 Интегральные схемы типа CPLD

Содержание темы. Понятие о ПЛИС типа CPLD. Структура, особенности проектирования.

Тема 3 Интегральные схемы типа FPGA

Содержание темы. Понятие о ПЛИС типа FPGA. Структура, особенности проектирования.

Содержание практических занятий по дисциплине

Раздел 1 **Введение в языки описания аппаратуры**
Практическое занятие 1. Структура программ на VHDL. Стандартные типы, тип std_logic.
Практическое занятие 1. Структура программ на VHDL. Стандартные типы, тип std_logic.
Практическое занятие 2. Примеры программ на VHDL структурного, потокового и поведенческого типа.
Практическое занятие 3. Рейтинг-контроль 1.
Раздел 2 **Проектирование комбинационных схем на VHDL**
Практическое занятие 4. Примеры проектирования комбинационных схем.
Практическое занятие 5. Примеры проектирования комбинационных схем.
Практическое занятие 6. Рейтинг-контроль 2.
Раздел 3 **Проектирование последовательностных схем на VHDL**
Практическое занятие 7. Примеры проектирования последовательностных схем.
Практическое занятие 8. Примеры проектирования последовательностных схем.
Практическое занятие 9. Рейтинг-контроль 3.

Содержание лабораторных занятий по дисциплине

Раздел 1 **Введение в языки описания аппаратуры**
Лабораторная работа 1. Изучение маршрута проектирования устройств в САПР.
Лабораторная работа 2. Потоковое описание логической функции.
Лабораторная работа 3. Поведенческое описание логической функции.
Раздел 2 **Проектирование комбинационных схем на VHDL**
Лабораторная работа 4. Проектирование цифрового устройства на VHDL.
Раздел 3 **Проектирование последовательностных схем на VHDL**
Лабораторная работа 5. Описание конечного автомата на VHDL.
Раздел 4 **Проектирование устройств в базисе ПЛИС**
Лабораторная работа 6. Синтез и реализация цифрового устройства в ПЛИС.
Лабораторная работа 7. Правила разработки ядер
Лабораторная работа 8 - 9. Модернизация проекта «Часы».

5. ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ ТЕКУЩЕГО КОНТРОЛЯ УСПЕВАЕМОСТИ, ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ПО ИТОГАМ ОСВОЕНИЯ ДИСЦИПЛИНЫ И УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ

5.1. Текущий контроль успеваемости

Рейтинг-контроль 1
Контрольные вопросы

1. Структура программы на VHDL. Объявление объекта, объявление архитектуры.
2. Типы данных в языке VHDL
3. Структурное описание.
4. Оператор *Component*
5. Оператор *for-generate*
6. Потоковое описание
7. Параллельный сигнальный оператор присваивания
8. Оператор *select*
9. Поведенческое описание
10. Оператор *process*
11. Моделирование времени на VHDL
12. Применение последовательных и параллельных операторов.

13. Оператор *if*
14. Оператор *case*
15. Оператор *loop*
16. Оператор *for*
17. Применение последовательных и параллельных операторов.

Рейтинг-контроль 2
Контрольные вопросы

1. Понятие комбинационной схемы
2. Понятие последовательностной схемы
3. Виды последовательностных схем
4. Понятие конечного автомата
5. Понятие триггера и защелки
6. Понятие синхронных тактируемых схем
7. Использование признака *event*
8. Конструкции VHDL, используемые при проектировании тактируемых схем.
9. Конструкции VHDL для описания схем с обратными связями Прием, который позволяет не использовать тип портов *buffer* при описании схем с обратными связями
10. Конструкции VHDL, используемые при проектировании конечных автоматов с использованием мнемонических имен состояний
11. Конструкции VHDL, используемые при проектировании конечных автоматов с использованием кодов состояний

Рейтинг-контроль 3
Контрольные вопросы

1. Технология проектирования систем на одном кристалле
2. Понятие сложного ядра
3. Понятие программного ядра
4. Понятие виртуального ядра
5. Понятие аппаратного ядра
6. Средства проектирования СОК фирмы Xilinx
7. Правила проектирования ядер.

Промежуточная аттестация по итогам освоения дисциплины (экзамен)
Контрольные вопросы

1. Структура программы на VHDL. Объявление объекта, объявление архитектуры.
2. Типы данных в языке VHDL. Библиотеки и пакеты
3. Последовательные и параллельные операторы. Их применение
4. Структурное описание цифровых схем
5. Потоковое описание цифровых схем
6. Поведенческое описание цифровых схем
7. Оператор *Component*
8. Оператор *for-generate*
9. Оператор *entity*
10. Параллельные операторы присваивания
11. Оператор *select*
12. Оператор *process*
13. Оператор *if*
14. Оператор *case*

15. Оператор *loop*
16. Оператор *for*
17. Понятие последовательностной схемы
18. Виды последовательностных схем
19. Понятие конечного автомата
20. Понятие комбинационной схемы
21. Понятие синхронных тактируемых схем
22. Понятие триггера и защелки
23. Конструкции VHDL для описания схем с обратными связями
24. Прием, который позволяет не использовать тип портов *buffer* при описании схем с обратными связями
25. Конструкции VHDL, используемые при проектировании тактируемых схем.
26. Использование признака *event*
27. Конструкции VHDL, используемые при проектировании конечных автоматов с использованием мнемонических имен состояний
28. Конструкции VHDL, используемые при проектировании конечных автоматов с использованием кодов состояний
29. Технология проектирования систем на одном кристалле
30. Понятия программного, виртуального и аппаратного ядер.
31. Понятие сложного ядра

5.2. Промежуточная аттестация по итогам освоения дисциплины

Перечень контрольных вопросов на зачет:

1. Информация, свойства информации.
2. Структурная мера информации.
3. Статистическая мера информации
4. Статистическая мера информации.
5. Кодирование информации кодами постоянной длины.
6. Энтропийное кодирование: алгоритм Хаффмэна.
7. Алгоритм кодирования Лемпела-Зива.
8. Позиционные и непозиционные системы счисления.
9. Преобразование чисел из двоичной СС в десятичную, шестнадцатиричную.
10. Преобразование чисел из десятичной, шестнадцатиричной СС в двоичную.
11. Форматы представления целых чисел в цифровых автоматах.
12. Форматы представления вещественных чисел в цифровых автоматах.
13. Двоичная арифметика: операции с целыми числами.
14. Двоичная арифметика: операции с вещественными числами.
15. Логические функции двух переменных.
16. Логические функции n переменных.
17. Минимизация логических функций n переменных.
18. Логические вентили и логические схемы.
19. Преобразование логических схем.
20. Понятие о цифровых автоматах и способах их описания.

5.3. Самостоятельная работа обучающегося.

Самостоятельная работа заключается в изучении содержания тем курса по конспектам, учебникам и дополнительной литературе, подготовке к лабораторным и практическим занятиям, выполнении заданий для самостоятельной работы, оформлении отчетов по лабораторным работам, подготовке к промежуточной аттестации и экзаменам.

Задания для самостоятельной работы студентов

1) Изучение маршрута проектирования цифровых устройств в САПР ПЛИС

Контрольные вопросы:

1. Синтез цифровых схем, заданных логической функцией: описание таблицей истинности, карты Карно, минимизация логических схем.

2. Основные этапы маршрута проектирования электронных устройств в базисе ПЛИС.

3. Содержание отчетов САПР, информация о:

- максимальной частоте работе устройства;
- максимальной задержке на комбинационной логике;
- максимальной задержке на трассах между логическими элементами;
- размещении портов I/O по физическим выводам кристалла;
- объеме устройства в примитивах данной архитектуры(Slice, Flip Flop, LUT и т.д)

2) Структурное, поведенческое и потоковое описание комбинационных логических схем на VHDL

Контрольные вопросы:

1. Структура программ на языке VHDL.
2. Структурное описание проекта, применение и синтаксис операторов *Component, for-generate, entity.*
3. Использование и синтаксис параллельных операторов *process, if, case, loop, for,* параллельные сигнальные операторы присваивания, оператор *select.*
4. Потоковое описание проекта.
5. Поведенческое описание проекта.

3) Синтез последовательностных логических схем на VHDL

Контрольные вопросы:

1. Синтез конечных автоматов по таблице переходов.
2. Приемы создания программы, описывающей таблицу переходов конечных автоматов, на языке VHDL.
3. Структурное описание конечных автоматов.
4. Синтаксис конструкций VHDL для описания конечных автоматов.

Фонд оценочных материалов (ФОМ) для проведения аттестации уровня сформированности компетенций обучающихся по дисциплине оформляется отдельным документом.

6. УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

6.1. Книгообеспеченность

Наименование литературы: автор, название, вид издания, издательство	Год издания	КНИГООБЕСПЕЧЕННОСТЬ
		Наличие в электронном каталоге ЭБС
Основная литература		
1. Цифровые устройства [Электронный ресурс]: учеб. Пособие для вузов/ Г.И. Пухальский, Т.Я. Новосельцева. – СПб.: Политехника, 2012	2012	www.studentlibrary.ru
2. Муромцев Д.Ю. Математическое обеспечение САПР : учебное пособие / Д. Ю. Муромцев, И. В. Тюрин .— Изд. 2-е, перераб. и доп. — Санкт-Петербург : Лань, 2014 .— 464 с.	2014	http://index.www1.vlsu.ru/cgi-bin/zgate.exe?present+88828+default+3+1+F+1.2.840.10003.5.102+rus

3. Галас В.П. Автоматизация проектирования систем и средств управления : учебник / В. П. Галас ; Владим. гос. ун-т .— Владимир : Владим. гос. ун-т, 2015 .— 259 с.	2015	<URL:http://e.lib.vlsu.ru/bitstream/123456789/4468/1/01478.pdf>
Дополнительная литература		
1. Курс лекций по дисциплине "Проектирование вычислительных устройств на ПЛИС".— Владимир : ВлГУ), 2008 .— 142 с.	2008	http://index.www1.vlsu.ru/cgi-bin/zgate.exe?present+88828+default+1+1+F+1.2.840.10003.5.102+rus
2. Калыгина Л.А. Методические указания к лабораторным работам по дисциплине "Синтез цифровых устройств" / Л. А. Калыгина ; -Владимир : ВлГУ, 2008 .— 40 с.	2008	<URL:http://e.lib.vlsu.ru/bitstream/123456789/1267/3/01012.pdf>.
Лабораторный практикум по дисциплине: "Язык VHDL для проектирования цифровых устройств"— Владимир : (ВлГУ), 2008 .— 45 с.	2008	http://index.www1.vlsu.ru/cgi-bin/zgate.exe?present+88828+default+1+1+F+1.2.840.10003.5.102+rus

6.2. Периодические издания

Журналы (https://elibrary.ru/):

1. Вестник компьютерных и информационных технологий
2. Вычислительные технологии
3. Известия вузов: электроника
4. Радиотехнические и телекоммуникационные системы

6.3. Интернет-ресурсы

https://cs.cdo.vlsu.ru/
http://www.studentlibrary.ru
http://library.vlsu.ru/

7. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

Для реализации данной дисциплины имеются специальные помещения для проведения занятий лекционного типа, занятий практического типа, групповых и индивидуальных консультаций, текущего контроля и промежуточной аттестации, а также помещения для самостоятельной работы. Лабораторные работы проводятся в «учебно-исследовательской лаборатории центра микроэлектронного проектирования и обучения».

При проведении лабораторных работ используется лицензионное программное обеспечение система Matlab.

Рабочую программу составил Калыгина Л.А., доцент кафедры ВТ и СУ_____

Рецензент
(представитель работодателя) _____ Генеральный директор ООО "Диаграмма" Протягов И.В.

Программа рассмотрена и одобрена на заседании кафедры ВТ и СУ
Протокол № 1 от 31 августа 2021 года
Заведующий кафедрой Ланцов В.Н._____

Рабочая программа рассмотрена и одобрена
на заседании учебно-методической комиссии направления 09.03.01 информатика и вычислительная техника
Протокол № 1 от 31 августа 2021 года
Председатель комиссии Ланцов В.Н. зав. каф. ВТиСУ_____

ЛИСТ ПЕРЕУТВЕРЖДЕНИЯ
РАБОЧЕЙ ПРОГРАММЫ ДИСЦИПЛИНЫ

Рабочая программа одобрена на 2022 / 2023 учебный года

Протокол заседания кафедры № 1 от 29.08.22 года

Заведующий кафедрой Куликов К.В.

Рабочая программа одобрена на 20____ / 20____ учебный года

Протокол заседания кафедры № _____ от _____ года

Заведующий кафедрой_____

Рабочая программа одобрена на 20____ / 20____ учебный года

Протокол заседания кафедры № _____ от _____ года

Заведующий кафедрой_____