Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Владимирский государственный университет
имени Александра Григорьевича и Николая Григорьевича Столетовых»
(ВлГУ)

Институт информационных технологий и радиоэлектроники

УТВЕРЖДАЮ:
Директор института
_____ Галкин А.А.
«31» 08 2021 г.

РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ
НЕЙРОННЫЕ СЕТИ И НЕЙРОКОМПЬЮТЕРЫ

направление подготовки

09.03.01 Информатика и вычислительная техника
(код и наименование направления подготовки (специальности)

направленность (профиль) подготовки

Высокопроизводительные и распределенные вычисления
(направленность (профиль) подготовки))

г. Владимир

Год 2021

1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Целью освоения дисциплины "*Нейронные сети и нейрокомпьютеры*" является формирование у студентов базовых знаний в области микропроцессорных систем, позволяющих решать задачи в области проектирования и эксплуатации средств вычислительной техники.

Задачи: формирование навыков выбора микропроцессоров для решения конкретной задачи;
- формирование способностей к выбору архитектуры микропроцессорной системы по техническому заданию;
- формирование навыков программирования микроконтроллеров в различных средах программирования;
- знание работы функциональных узлов микропроцессоров.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОПОП

Дисциплина "*Нейронные сети и нейрокомпьютеры*" относится к *части, формируемой участниками образовательных отношений*.

3. ПЛАНИРУЕМЫЕ РЕЗУЛЬТАТЫ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ

Планируемые результаты обучения по дисциплине, соотнесенные с планируемыми результатами освоения ОПОП (компетенциями и индикаторами достижения компетенций)

Формируемые компетенции (код, содержание компетенции)	Планируемые результаты обучения по дисциплине, в соответствии с индикатором достижения компетенции		Наименование оценочного средства
	Индикатор достижения компетенции *(код, содержание индикатора*	Результаты обучения по дисциплине	
ПК-2 Способен осуществлять концептуальное, функциональное и логическое проектирование систем среднего и крупного масштаба и сложности	ПК-2.1 Знает математические модели на различных уровнях представления ПК-2.2 Умеет интерпретировать результаты проектирования в САПР, готовить задания для работы с современными САПР ПК-2.3 Владеет способами математического описания вычислительных узлов	**Знать** этапы проектирования микропроцессорных систем **Уметь** работать с чертежами электронных схем, как на уровне разработки, так и на уровне чтения. **Владеть** средствами автоматизированного проектирования средств вычислительной техники и систем управления	Отчет по практической подготовке

4. ОБЪЕМ И СТРУКТУРА ДИСЦИПЛИНЫ

Трудоемкость дисциплины составляет 6 зачетных единиц, 216 часов

Тематический план
форма обучения – очная

№ п/п	Наименование тем и/или разделов/тем дисциплины	Семестр	Неделя семестра	Контактная работа обучающихся с педагогическим работником				Самостоятельная работа	Формы текущего контроля успеваемости, форма промежуточной аттестации *(по семестрам)*
				Лекции	Практические занятия[1]	Лабораторные работы	*в форме практической подготовки*[2]		
1	Общие вопросы МПС	7	1-4	8				28	
1.1	Введение. Классификация МП по системе команд, по архитектуре, по применению.	7	1	2				7	
1.2	Метрики и закономерности параллельных вычислений	7	2	2				7	
1.3	Технологии повышения производительности МП.	7	3	2				7	
1.4	Технологии снижения потребляемой мощности мониторинга работы МП.	7	4	2				7	
2	Микроархитектура МП	7	5-10	12		4	1	36	
2.1	Формирование системы команд. Форматы команд. Преемственность и уникальность системы команд.	7	5	2				7	
2.2	Регистровая архитектура универсальных и специальных МП.	7	6	2				7	Рейтинг контроль 1
2.3	Шины МП. Стандарт шины.PCI-E и HT. Перспективы шин системы OSI.	7	7	2				7	
2.4	Проблема тирании соединений и интеллектуальные оптические соединения.	7	8	2				7	
2.5	Кэш память в МП. Система организации. Характеристики. Новое в кэш памяти. Когерентность. Организация	7	9	2				7	

	ЛАП.								
2.6	Архитектура процессоров фирмы Intel, Atmel, AMD, ARM.	7	10	2		4	1	7	
3	Разработка и эксплуатация МПС	7	11-18	16		14	4	42	
3.1	Аппаратные средства защиты информации в МП.	7	11	2				7	Рейтинг контроль 2
3.2	Сигнальные микропроцессоры	7	12	2		4	2	7	
3.3	3D конвейер и видеопроцессоры.	7	13	2					
3.4	МПС в промышленной автоматике.	7	14	2		4	1	7	
3.5	Подключение к МП дополнительных устройств	7	15	2				7	
3.6	Жизненный цикл МПС. Методы и средства тестирования и отладки.	7	16	2		4	1	7	
3.7	Примеры МПС. Системы коммерческого учета энергоносителей.	7	17	2				7	
3.8	Повышение надежности МПС. Резервирование процессоров.	7	18	2		2	1	7	Рейтинг контроль 3
n									
Всего за 7 семестр:				36		18		126	Экзамен (36)
n									
n									
Всего за 7 семестр:				36		18		126	Экзамен (36)
Наличие в дисциплине КП/КР									Нет
Итого по дисциплине				36		18		126	Экзамен (36)

Тематический план

Содержание лекционных занятий по дисциплине

Раздел 1. Общие вопросы МПС

Тема 1 Введение. Классификация МП по системе команд, по архитектуре, по применению.

Классификация МП по системе команд: CISC; RISC; VLIW; MISC. Отличия формата. Влияние на архитектуру процессора. Классификация по применению: универсальные процессоры (серверные, для ПК, для мобильных устройств); микроконтроллеры для систем автоматики; сигнальные микропроцессоры или DSP процессоры. Классификация архитектур МП по Флину, по Базу, по Кришномарфи.

Тема 2 Метрики и закономерности параллельных вычислений

Профиль параллелизма. Ускорение. Утилизация. Эффективность. Сжатие. Качество. Избыточность. Идеальное и реальное ускорение. Закономерности параллельных вычислений. Закон Амдала. Закон Густавсона- Барсиса. Закон Сана -Ная. Метрика Карпа-Флэтта. Анализ масшабируемости параллельных вычислений.

Тема 3 Технологии повышения производительности МП.

Конвейеризация, суперскалярность, многоядерность (многоядерность и мультиядерность), технология динамического исполнения команд (исполнение команд вне очереди, предсказание переходов, ротация регистров, потоковая загрузка и потоковое исполнение команд, резервирующая станция, порты и исполнительные блоки, восстановление последовательности исполняемого кода), увеличение длинны конвейера, динамически распределяемая кэш второго уровня. Технология гипер -трейдинга (HT). Технологии исполнения мультимедийных команд. VLIW команды. Структурные изменения микропроцессоров. Эволюция системных шин. Технология Turbo Boost.

Тема 4 Технологии снижения потребляемой мощности мониторинга работы МП

Технологии тепловой защиты и энергосбережения. Технология Thermal Monitor 1. Технология Thermal Monitor 2. Технология аварийного отключения. Thermal throttling. Технология Intel QST. Технология уменьшения частоты и напряжения системной шины. Технология управления питанием.

Раздел 2 Микроархитектура МП

Тема 1 Формирование системы команд. Форматы команд. Преемственность и уникальность систем команд.

Вопросы, решаемые при формировании системы команд. Технология перекодирования в процессорах. Совершенствование системы команд IA-86 в микропроцессорах Intel (расширения SSE).

Тема 2 Регистровая архитектура универсальных и специальных МП.

Структура регистров в универсальных процессорах. Основные функциональные регистры. Регистры процессора с плавающей точкой. Системные регистры. Регистры отладки и тестирования. Регистры MMX и XMM.

Тема 3 Шины МП. Стандарт шины. PCI-E и HT. Перспективы шин системы OSI.

Эволюция системных шин и архитектуры МП. Ретроспектива шин. Примеры протоколов синхронных и асинхронных шин. Системная шина PCI-E. Организация шины на основе OSI. Уровни PCI-E. Системная шина гипер-транспорт HT фирмы AMD.

Тема 4 Проблема тирании соединений и интеллектуальные оптические соединения.

Тирания межсоединений. Проблема соединений. Тепловые ограничения. Масштабирование или скэйтлинг. Механические разъемные соединения. Интеллектуальные много контактные оптические соединения. Оптический процессор Holey Optochip от IBM. Антикомпьютер, как решение проблемы универсальности в вычислительной технике.

Тема 5 Кэш память в МП. Система организации. Характеристики. Когерентность. Организация ЛАП.

Назначение кэш памяти. Характеристики кэш памяти. Емкость. Строка как способ организации кэш. Много уровневые кэш. Алгоритмы загрузки и очистки. Виды кэш памяти: прямого отображения; ассоциативная кэш память; частично ассоциативная кэш память. Протоколы когерентности. Организация логического адресного пространства. Страничная и сегментированная ЛАП. Дескриптор сегмента. Алгоритмы преобразования виртуального адреса в физический.

Тема 6 Архитектура процессоров фирмы Intel, Atmel, AMD, ARM.

Эволюция архитектуры микропроцессоров фирмы Intel. Эволюция архитектуры микропроцессоров фирмы AMD. Фирма ARM и процессоры Cortex.

Раздел 3 Разработка и эксплуатация МПС.

Тема 1 Аппаратные средства защиты информации в МП.

Задачи защиты памяти. Виды аппаратных защит: Защита отдельных ячеек. Метод граничных регистров. Метод ключей защиты. Защита по управлению памятью. Защита по привилегиям. Проверки средствами управления памятью до загрузки селектора. Задачи контроля по привилегиям. Порядок взаимодействия программ и данных на разных уровнях привилегий.

Тема 2 Сигнальные микропроцессоры.

Архитектура DSP процессоров. Характеристики. Особенности структуры. Примеры.

Тема 3 3D конвейер и видеопроцессоры.

Графические процессоры. Структура графического модуля. Этапы формирования 3D изображения – графический конвейер. Алгоритмы повышения реалистичности изображений.

Тема 4 МПС в промышленной автоматике.

Программируемые логические контроллеры, как основа локальных и распределенных систем автоматического управления. Коммуникационные контроллеры. Датчики и исполнительные устройства систем автоматики. Особенности организации системы ввода вывода ПЛК.

Тема 5 Подключение к МП дополнительных устройств.

Драйверы шаговых электродвигателей. Цифровые датчики.

Тема 6 Жизненный цикл МПС. Методы и средства тестирования и отладки.

Понятие жизненного цикла МПС. Проектирование и макетирование. Изготовление - промышленное. Эксплуатация. Тестирование. Диагностика. Отладка. Особенности МП БИС и МПС, затрудняющие процедуру тестирования. Методы тестирования. Программные и аппаратные средства тестирования.

Тема 7 Примеры МПС. Системы коммерческого учета энергоносителей.

Микропроцессорные системы на практике. Структура распределенной системы коммерческого учета с применением технологии Lora Wan.

Тема 8 Повышение надежности МПС. Резервирование процессоров.

Отказоустойчивые системы. Методы резервирования: программные; аппаратные; временные; информационные. Кратность резервирования. Горячее и теплое резервирование.

Содержание лабораторных занятий по дисциплине

Раздел 1. Микроархитектура МП

Тема 4 Проблема тирании соединений и интеллектуальные оптические соединения.

Нейрокомпьютерный интерфейс. Установка и настройка программного обеспечения нейрокомпьютерного интерфейса для нейрокомпьютерной гарнитуры. Проведение эксперимента управления движением изображения объекта на экране монитора с помощью движения зрачка глаза.

Раздел 3 Разработка и эксплуатация МПС.

Тема 4 МПС в промышленной автоматике.

Разработка программы для системы автоматики согласно варианта задания. Программирование микропроцессора STM-32 лабораторного макета в среде Релкон. Экспериментальная проверка программы на лабораторном макете.

Тема 5 Подключение к МП дополнительных устройств.

Изучение принципа работы сенсорной панели на основе конструктора макета фирмы Atmel. Сборка сенсорной панели согласно инструкции и подключение ее к компьютеру. Установка на ПК прикладного программного обеспечения для работы сенсорной панели. Проверка работоспособности собранного комплекса.

Тема 6 Жизненный цикл МПС. Методы и средства тестирования и отладки.

Изучение структуры отладочной платы микропроцессорного комплекта IVK-1100. Инсталляция и изучение среды программирования AVR studio. Программирование отладочной платы согласно задания.

5. ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ ТЕКУЩЕГО КОНТРОЛЯ УСПЕВАЕМОСТИ, ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ПО ИТОГАМ ОСВОЕНИЯ ДИСЦИПЛИНЫ И УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ

5.1. Текущий контроль успеваемости

Рейтинг контроль №1
Список контрольных вопросов

1. Сравнительная характеристика универсальных МП и микропроцессоров для систем управления.
2. Классификация МПС по М. Флину, Базу Кришномарфи;
3. Метрики параллельных вычислений;
4. Закономерности параллельных вычислений: закон Амдала; закон Густавсона: закон Сана-Ная;
5 Технология динамического исполнения команд и ее элементы;
6 Вопросы, решаемые при создании системы команд и сравнительная характеристика МП CISC, RISC, VLIW;
7 Конфликты реального конвейера и способы с ними.

Рейтинг контроль №2
Список контрольных вопросов

1 Структурная схема МП платформы Core -2 и порядок исполнения потока команд;
2 Технологии, применяемые в микропроцессорах для повышения производительности и экономичности;
3 Приведите структурные электрические схемы вариантов горячего резервирования МП;
4 Способы организации виртуального адресного пространства и задачи управления памятью;
5 Кэш память: способы организации; характеристики; когерентность памяти;
6 Регистровая организация МП архитектуры IA-32.

Рейтинг контроль №3
Список контрольных вопросов

1 Жизненный цикл МПС, методы и средства тестирования и диагностики МПС;
2 Системные шины PCIE. HT, кросс-бар;
3 Контроллеры системы ввода вывода: прерывания; DMA, UART, SPI, MAC;

4 Архитектура МП Atmel AVR 32;
5 МПС в промышленной автоматике. Средства для построения систем;
6 Структура видеокарты и основы теории синтеза изображений

5.2. Промежуточная аттестация по итогам освоения дисциплины
Вопросы на экзамен

1. Общая классификация МП систем и микропроцессоров. Основные направления развития МП. Способы развития.
2. Требования к микропроцессорам. Характеристики микропроцессоров. Функциональная организация МП. Этапы исполнения команды.
3. Микропроцессоры CISC, RISC, MISC, WLIV - особенности, сравнение, тенденции развития.
4. Классификация МПС по М. Флину.
5. Основные вопросы, решаемые при формировании системы команд. Сравните команды CISC, RISC и VLIW процессоров. Формат команд, примеры.
6. Базовый набор команд I-86 и расширения набора команд универсального микропроцессора ИНТЕЛ: MMX, SSE.
7. Классификация команд: по типу адресации, формату, типу выборки, количеству используемых операндов.
8. Различие архитектур I-32 и I-64. Микропроцессоры платформы CORE 2
9. Определение и назначение сегмента, дескриптора, селектора, дескрипторной таблицы.
10. Структура регистров в универсальном микропроцессоре.
11. Конвейерная обработка команд. В чем разница между идеальным и реальным конвейером. Конфликты на реальном конвейере и методы их разрешения.
12. Суперскалярный процессор. Недостатки и достоинства. Пример структуры.
13. Технология динамического исполнения команд.
14. Конфликты по управления при конвейерной обработке команд.
15. Технология гипер-трейдинга.
16. Система ввода вывода МПС: типы, уровни обслуживания, способы организации. Последовательность программного ввода - вывода.

Контроллеры ввода вывода.

17. Система прерываний. Классификация. Обработка прерываний, функции контроллера прерываний. Схема контроллера прерываний
18. Способы организации логического адресного пространства. Задачи управления памятью.
19. Организация страничного и сегментированного логического адресного пространства. Достоинства и недостатки.
20. Принцип преобразования сегментированного логического адреса в физический адрес оперативной памяти.
21. Дескриптор сегмента. Структура. Байт доступа.
22. Назначение дескрипторных таблиц. Формат и назначение селектора.
23. Структуры микропроцессорных систем универсального типа. Общая тенденция развития технологий.
24. Шины микропроцессора. Характеристики. Понятие стандарта шины. Классификация. Пример цикла шины для микропроцессора IA-32.
25. Системная шина PCI-E. Уровни организации.
26. Сравните организацию шин PCI-E и гиппер-транспорт.
27. Кэш-память. Основные вопросы, решаемые при создании кэш-памяти.
28. Характеристики кэш-памяти. Способы организации кэш-памяти и их сравнение. Пример структуры.
29. Кэш-память прямого отображения, Схема поиска информации.
30. Частично ассоциативная кэш память. Двухвходовая, четырех- входовая. Схема поиска информации в кэш-памяти.
31. Загрузка кэш-памяти и задачи, которые приходится при этом решать. Методы согласования кэш-памяти и оперативной памяти при создании многопроцессорных систем. MESI протокол.
32. Структура микропроцессора Atmel. Отличие от универсальных микропроцессоров.
33. Технологии, применяемые в МП.
34. Аппаратные средства защиты информации в МП.
35. Методы и средства тестирования и отладки МПС. Этапы жизненного

цикла МПС.

36. Особенности, затрудняющие задачи тестирования. Средства тестирования: сигнатурные анализаторы; логический анализатор; отладочные мониторы; симуляторы; платы развития; JTAG – интерфейс.
37. Сигнальные микропроцессоры. Схема цифровой обработки аналогового

сигнала. Классификация. Области применения. Примеры структурных схем МП фирмы Texas Instruments.

38. Информационные модели параллельной обработки информации. Виды МПС, учитывающие архитектуру применяемой памяти: MMP; UMA; COMA; NUMA; DSM.
39. Метрики и закономерности параллельных вычислений. Законы Амдала, Густавсона, Сана-Ная.

5.3. Самостоятельная работа обучающегося.

1 Методы повышения экономичности.
2 Преемственность в архитектуре микропроцессоров.
3 Причины ограничения производительности микропроцессоров.
4 Сегментно-страничное виртуальное адресное пространство. Структура дескриптора.
5 Микропроцессоры Эльбрус.
6 Микропроцессоры Atmel AVR 32.
7 Протоколы когерентности памяти в многопроцессорных системах.
8 Сигнальные микропроцессоры.

Фонд оценочных материалов (ФОМ) для проведения аттестации уровня сформированности компетенций обучающихся по дисциплине оформляется отдельным документом.

6. УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

6.1. Книгообеспеченность

Наименование литературы: автор, название, вид издания, издательство	Год издания	КНИГООБЕСПЕЧЕННОСТЬ
		Наличие в электронном каталоге ЭБС
Основная литература*		
1.Туляков, Валерий Станиславович. Микропроцессорные системы [Электронный ресурс]: учебное пособие / В. С. Туляков ; Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых (ВлГУ) .— Владимир : ВлГУ, 2020 .— Заглавие с титула экрана .— Электронный ресурс содержит текстовые данные - 218 с.; ил., табл. — Свободный доступ в локальной сети университета .— ISBN 978-5-9984-1103-8	2020	http://dspace.www1.vlsu.ru/bitstream/123456789/8284/1/01920.pdf
2. 2. Туляков, Валерий Станиславович. Микропроцессорные системы [Электронный ресурс] : лабораторный практикум / В. С. Туляков ; Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых (ВлГУ) .— Электронные текстовые данные (1 файл: 3,92 Мб) .— Владимир : Владимирский государственный университет имени Александра Григорьевича и Николая Григорьевича Столетовых (ВлГУ), 2018 .— 71 с. : ил. — Заглавие с титула экрана .— Электронная версия печатной публикации .— Библиогр.: с. 70 .— Свободный доступ в электронных читальных залах библиотеки .— Adobe Acrobat Reader .— ISBN 978-5-9984-0865-6	2018	http://dspace.www1.vlsu.ru/bitstream/123456789/7230/1/01729.pdf
3. Новожилов, Б. М. Микропроцессоры и их применение в системах управления : учебное пособие / Б. М. Новожилов. - Москва : Издательство МГТУ им. Н. Э. Баумана,. - 81 с. - ISBN 978-5-7038-4050-4 2014	2014	https://www.studentlibrary.ru/book/ISBN9785703840504.html

Дополнительная литература		
1. Микроконтроллеры? Это же просто! Т. 1 [Электронный ресурс] / Фрунзе- М.:ДМКПресс, 2016	2016	http://www.studentlibrary.ru/book/ISBN9785941201402.html
2. Микроконтроллеры AVR семейства Tiny. Руководство пользователя [Электронный ресурс] / Евстифеев А.В. - М. : ДМК Пресс, 2016 - "Программируемые системы").	2016	http://www.studentlibrary.ru/book/ISBN9785941201167.html

6.2. Периодические издания

Журналы (https://elibrary.ru/):

1. Вестник компьютерных и информационных технологий
2. Вычислительные технологии
3. Известия вузов: электроника
4. Радиотехнические и телекоммуникационные системы

6.3. Интернет-ресурсы

1. Центр дистанционного образования ВлГУ https//cs.cdo.vlsu.ru/.
2. Электронная библиотека www.citforum.ru

7. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

В качестве материально-технического обеспечения дисциплины указывается необходимое для обучения лицензионное программное обеспечений, оборудование, демонстрационные приборы, мультимедийные средства, учебные фильмы, тренажеры, карты, плакаты, наглядные пособия; требования к аудиториям – компьютерные классы, специально оборудованные аудитории и лаборатории и т.д

Рабочую программу составил доцент каф. ВТиСУ Туляков В.С.

Рецензент
(представитель работодателя) _____ Генеральный директор ООО "Диаграмма" Протягов И.В.

Программа рассмотрена и одобрена на заседании кафедры ВТ и СУ
Протокол № 1 от 31 августа 2021 года
Заведующий кафедрой Ланцов В.Н._____

Рабочая программа рассмотрена и одобрена
на заседании учебно-методической комиссии направления 09.03.01 информатика и вычислительная техника
Протокол № 1 от 31 августа 2021 года
Председатель комиссии Ланцов В.Н. зав. каф. ВТиСУ_____

ЛИСТ ПЕРЕУТВЕРЖДЕНИЯ
РАБОЧЕЙ ПРОГРАММЫ ДИСЦИПЛИНЫ

Рабочая программа одобрена на 2022 / 2023 учебный года

Протокол заседания кафедры № 1 от 29.08.22 года

Заведующий кафедрой Куликов К.В.

Рабочая программа одобрена на 20____ / 20____ учебный года

Протокол заседания кафедры № _____ от _____ года

Заведующий кафедрой_____

Рабочая программа одобрена на 20____ / 20____ учебный года

Протокол заседания кафедры № _____ от _____ года

Заведующий кафедрой_____