

Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
**«Владимирский государственный университет
имени Александра Григорьевича и Николая Григорьевича Столетовых»
(ВлГУ)**

Институт информационных технологий и радиоэлектроники



РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ

БАЗОВЫЕ БЛОКИ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

(наименование дисциплины)

09.03.01 Информатика и вычислительная техника

(код и наименование направления подготовки (специальности))

Системы автоматизированного проектирования микроэлектроники

(направленность (профиль) подготовки)

г. Владимир

2021

1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Целью освоения дисциплины «Базовые блоки интегральных микросхем» является изучение методики автоматизированного проектирования цифровых устройств в базисе базовых блоков.

Задачи:

- изучение основных архитектур ПЛИС;
- маршрута проектирования ПЛИС на основе стандартных языков;
- получение навыков проектирования базовых блоков в ПЛИС.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ОПОП

Дисциплина «Базовые блоки интегральных микросхем» относится к части ОПОП, формируемой участниками образовательных отношений.

3. ПЛАНИРУЕМЫЕ РЕЗУЛЬТАТЫ ОБУЧЕНИЯ ПО ДИСЦИПЛИНЕ

Планируемые результаты обучения по дисциплине, соотнесенные с планируемыми результатами освоения ОПОП (компетенциями и индикаторами достижения компетенций)

Формируемые компетенции (код, содержание компетенции)	Планируемые результаты обучения по дисциплине, в соответствии с индикатором достижения компетенции		Наименование оценочного средства
	Индикатор достижения компетенции (код, содержание индикатора)	Результаты обучения по дисциплине	
ПК-2 Способен осуществлять концептуальное, функциональное и логическое проектирование систем среднего и крупного масштаба и сложности	ПК-2.1 Знает математические модели на различных уровнях представления ПК-2.2 Умеет интерпретировать результаты проектирования в САПР, готовить задания для работы с современными САПР ПК-2.3 Владеет способами математического описания вычислительных узлов	<i>Знать</i> основные архитектуры микросхем, маршрут проектирования на основе стандартных языков <i>Уметь</i> применять САПР при проектировании базовых блоков, анализировать результаты проектирования. <i>Владеть</i> навыками работы с учебными и коммерческими САПР	Тестовые вопросы Практико-ориентированное задание

4. ОБЪЕМ И СТРУКТУРА ДИСЦИПЛИНЫ

Трудоемкость дисциплины составляет 2 зачетных единиц, 72 часа

Тематический план форма обучения – очная

№ п/п	Наименование тем и/или разделов/тем дисциплины	Семестр	Неделя семестра	Контактная работа обучающихся с педагогическим работником				Самостоятельная работа	Формы текущего контроля успеваемости, форма промежуточной аттестации (по семестрам)
				Лекции	Практические занятия	Лабораторные работы	в форме практической		
	Введение	4	1-2	2				2	
1	Простейшие программируемые интегральные схемы.								
1.1	Технологии проектирования и изготовления специализированных ИМС	4	3-4	2	2			4	
1.2	Простейшие программируемые интегральные схемы	4	5-6	2	2			4	РК1
2	Архитектура ПЛИС								
2.1	ПЛИС типа CPLD и FPGA	4	7-8	2	2			4	
2.2	Основные семейства ПЛИС фирмы Xilinx.	4	9-10	2	2			4	
2.3	Общая архитектура ПЛИС фирмы Xilinx Virtex 4.	4	11-12	2	2			4	РК2
2.4	Архитектура встроенных компонентов ПЛИС фирмы Xilinx Virtex 4.	4	13-14	2	2			4	
3	Маршрут проектирования ПЛИС на основе стандартных языков							4	
3.1	Достоинства и преимущества применения стандартных языков описания аппаратуры при проектировании электронных систем и устройств	4	15-16	2	2			6	
3.2	Маршрут проектирования ПЛИС на основе стандартных языков.	4	16-18	2	4				РК3

Всего за <u>4</u> семестр:			18	18			36	зачет
Наличие в дисциплине КП/КР								нет
Итого по дисциплине			18	18			36	зачет

Содержание лекционных занятий по дисциплине

Введение

Раздел 1. Простейшие программируемые интегральные схемы.

Тема 1.1. Технологии проектирования и изготовления специализированных ИМС

Характеристика технологий проектирования и изготовления микросхем (заказные, полузаказные, технология базовых матричных кристаллов)

Тема 1.2 Простейшие программируемые интегральные схемы

Простейшие ПЛИС (ПЛИМ, PLD, PROM, PLA, PAL), их структура, достоинства и недостатки. Структура EPROM и EEPROM ячеек.

Раздел 2 Архитектура ПЛИС

Архитектура сложных PLD (CPLD). Архитектура функционального блока, блока ввода-вывода, переключающей матрицы.

ПЛИС типа FPGA Обобщенная архитектура FPGA. Архитектура перестраиваемого логического блока, блока ввода-вывода, программируемых соединений.

(Матричная структура: различные по длине шины и их взаимодействие с логическими блоками, связь с трассировочными возможностями, архитектура переключающей матрицы. Сотовая структура: местные и скоростные шины, повторители.

Архитектура логических ячеек FPGA. Связь между архитектурой логических ячеек и трассировочными возможностями архитектуры FPGA. Основной элемент логических ячеек – табличное представление (LUT). Архитектуры логических ячеек для различных семейств FPGA. Временные параметры и дополнительные возможности FPGA.

Тема 2.1 ПЛИС типа CPLD и FPGA

Временные параметры микросхем. Дополнительные возможности CPLD. Antifuse-технология (варианты исполнения, достоинства, недостатки). Размеры (логический объем) ячеек для SRAM и Antifuse технологий программирования). FPGA: технология на основе статического ОЗУ (SRAM-ячейки, особенности программирования, зависимость от питания).

Тема 2.2 Основные семейства ПЛИС фирмы Xilinx.

Краткая характеристика основных семейств ПЛИС фирмы Xilinx, их классификация. Семейства ПЛИС типа CPLD: основные характеристики, особенности архитектур, области применения. Семейства ПЛИС типа FPGA. Характеристики, архитектура, особенности логических блоков, трассировочные возможности и применение семейства Spartan. Характеристики, архитектура, особенности логических блоков, трассировочные возможности и применение семейств Virtex. Области применения ПЛИС

Тема 2.3 Общая архитектура ПЛИС фирмы Xilinx Virtex 4.

Архитектура ПЛИС, логические блоки. Характеристики сегмента SLICE, LUT. Характеристики встроенных регистров, мультиплексоров. Трассировочные ресурсы кристалла. Элементы ввода/вывода)

Тема 2.4 Архитектура встроенных компонентов ПЛИС фирмы Xilinx Virtex 4.

Архитектура блоков DCM, DSP, блочной памяти, Gigabit MAC, интерфейсных компонентов для взаимодействия с внешней ОЗУ типа DDR и процессорных ядер (Power PC).

Раздел 3 Маршрут проектирования ПЛИС на основе стандартных языков

Тема 3.1 Достоинства и преимущества применения стандартных языков описания аппаратуры при проектировании электронных систем и устройств

Краткая характеристика и история языков описания аппаратуры. Сравнение с традиционными методами проектирования. Основные достоинства стандартных языков описания и проектирования аппаратуры (языки VHDL и Verilog). Методы и средства синтеза на основе стандартных языков.

Тема 3.2 Маршрут проектирования ПЛИС на основе стандартных языков.

Основные этапы проектирования и их характеристика: определение требований проектирования, описание проекта на стандартном языке, моделирование исходного кода, синтез, оптимизация и размещение проекта, моделирование после размещения, программирование кристалла. Маршрут проектирования в САПР на основе стандартных языков.

Содержание практических занятий по дисциплине

Раздел 1. Простейшие программируемые интегральные схемы.

Занятие 1. Маршрут проектирования цифрового устройства в САПР Xilinx ISE.

Занятие 2. Контрольная работа (рейтинг- контроль 1).

Раздел 2 Архитектура ПЛИС

Занятие 3. Архитектура модуля ЦОС ML403.

Занятие 4. Анализ архитектур ПЛИС.

Занятие 5. Контрольная работа (рейтинг- контроль 2).

Раздел 3 Маршрут проектирования ПЛИС на основе стандартных языков

Занятие 6. Утилита Memory Interface Generator (MIG) фирмы Xilinx.

Занятие 7. Этап синтеза .

Занятие 8. Этап компоновки устройства и формирования файла загрузки.

Занятие 9. Контрольная работа (рейтинг- контроль 3).

5. ОЦЕНОЧНЫЕ СРЕДСТВА ДЛЯ ТЕКУЩЕГО КОНТРОЛЯ УСПЕВАЕМОСТИ, ПРОМЕЖУТОЧНОЙ АТТЕСТАЦИИ ПО ИТОГАМ ОСВОЕНИЯ ДИСЦИПЛИНЫ И УЧЕБНО-МЕТОДИЧЕСКОЕ ОБЕСПЕЧЕНИЕ САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ

5.1. Текущий контроль успеваемости

Рейтинг-контроль 1

Контрольные вопросы

1. Классификация ИМС
2. Стандартные ИМС
3. Заказные ИМС
4. Технологии проектирования заказных ИМС
5. Технологии изготовления специализированных и заказных ИМС
6. Технологии БМК проектирования и изготовления специализированных ИМС

Рейтинг-контроль 2

Контрольные вопросы

1. Простейшие ПЛИС (ПЛИМ, PLD, PROM, PLA, PAL).
2. Архитектура CPLD.
3. ПЛИС типа FPGA.
4. Технологии программирования ПЛИС.
5. Трассировочные возможности FPGA

6. Архитектура логических ячеек FPGA.
7. Краткая характеристика основных семейств CPLD фирмы Xilinx.
8. Краткая характеристика основных семейств FPGA фирмы Xilinx.
9. Общая архитектура ПЛИС фирмы Xilinx Virtex 4.
10. Архитектура встроенных компонентов ПЛИС фирмы Xilinx Virtex 4.
11. Маршрут проектирования ПЛИС на основе стандартных языков, этап описание проекта на стандартном языке

Рейтинг-контроль 3

Контрольные вопросы

1. Маршрут проектирования ПЛИС на основе стандартных языков, этап определение требований проектирования
2. Маршрут проектирования ПЛИС на основе стандартных языков, этап описание проекта на стандартном языке
3. Маршрут проектирования ПЛИС на основе стандартных языков, этап моделирование исходного кода
4. Маршрут проектирования ПЛИС на основе стандартных языков, этап , синтез
5. Маршрут проектирования ПЛИС на основе стандартных языков, этап оптимизация и размещение проекта
6. Маршрут проектирования ПЛИС на основе стандартных языков, этап моделирование после размещения

5.2. Промежуточная аттестация по итогам освоения дисциплины

Перечень контрольных вопросов на зачет:

- ИМС
1. Технологии проектирования и изготовления специализированных заказных ИМС
 2. Технологии БМК проектирования и изготовления специализированных ИМС
 3. Простейшие ПЛИС (ПЛИМ, PLD, PROM, PLA, PAL).
 4. Архитектура CPLD.
 5. ПЛИС типа FPGA.
 6. Технологии программирования ПЛИС.
 7. Трассировочные возможности FPGA
 8. Архитектура логических ячеек FPGA.
 9. Краткая характеристика основных семейств CPLD фирмы Xilinx.
 10. Краткая характеристика основных семейств FPGA фирмы Xilinx.
 11. Общая архитектура ПЛИС фирмы Xilinx Virtex 4.
 12. Архитектура встроенных компонентов ПЛИС фирмы Xilinx Virtex 4.
 13. Маршрут проектирования ПЛИС на основе стандартных языков, этап определение требований проектирования
 14. Маршрут проектирования ПЛИС на основе стандартных языков, этап описание проекта на стандартном языке
 15. Маршрут проектирования ПЛИС на основе стандартных языков, этап моделирование исходного кода
 16. Маршрут проектирования ПЛИС на основе стандартных языков, этап , синтез
 17. Маршрут проектирования ПЛИС на основе стандартных языков, этап оптимизация и размещение проекта
 18. Маршрут проектирования ПЛИС на основе стандартных языков, этап моделирование после размещения

5.3. Самостоятельная работа обучающегося. Самостоятельная работа заключается в изучении содержания тем курса по конспектам, учебникам и дополнительной литературе, подготовке к практическим занятиям, выполнении заданий для самостоятельной работы, подготовке к промежуточной аттестации и зачету.

Задания для самостоятельной работы студентов

Изучить архитектуру, особенности и характеристики программируемых логических интегральных схем (ПЛИС) семейств CPLD и FPGA, рекомендуемых для применения в перспективных разработках, основные временные, частотные и электрические параметры микросхем.

1. Серия Virtex
2. Серия Spartan
3. Серия XC9500
4. Серия CoolRunner
5. Конфигурационные ПЗУ XILINX
6. Platform Flash
7. Серия XC1700
8. Серия XC18V00

Фонд оценочных материалов (ФОМ) для проведения аттестации уровня сформированности компетенций обучающихся по дисциплине оформляется отдельным документом.

6. УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

6.1. Книгообеспеченность

Наименование литературы: автор, название, вид издания, издательство	Год издания	КНИГООБЕСПЕЧЕННОСТЬ
		Наличие в электронном каталоге ЭБС
Основная литература		
1. Цифровые устройства [Электронный ресурс]: учеб. Пособие для вузов/ Г.И. Пухальский, Т.Я. Новосельцева. – СПб.: Политехника, 2012	2012	https://www.studentlibrary.ru/book/ISBN5732503595.html
2. Муромцев Д.Ю. Математическое обеспечение САПР : учебное пособие / Д. Ю. Муромцев, И. В. Тюрин .— Изд. 2-е, перераб. и доп. — Санкт-Петербург : Лань, 2014 .— 464 с.	2014	http://index.www1.vlsu.ru/cgi-bin/zgate.exe?present+88828+default+3+1+F+1.2.840.10003.5.102+rus
3. Галас В.П. Автоматизация проектирования систем и средств управления : учебник / В. П. Галас ; Владим. гос. ун-т .—	2015	<URL: http://e.lib.vlsu.ru/bitstream/123456789/4468/1/01478.pdf >

Владимир : Владим. гос. ун-т, 2015 .— 259 с.		
Дополнительная литература		
1. Курс лекций по дисциплине "Проектирование вычислительных устройств на ПЛИС".— Владимир : ВлГУ), 2008 .— 142 с.	2008	http://index.www1.vlsu.ru/cgi-bin/zgate.exe?present+88828+default+1+1+F+1.2.840.10003.5.102+rus
2. Калыгина Л.А. Методические указания к лабораторным работам по дисциплине "Синтез цифровых устройств" / Л. А. Калыгина ; -Владимир : ВлГУ, 2008 .— 40 с.	2008	<URL: http://e.lib.vlsu.ru/bitstream/123456789/1267/3/01012.pdf >.
Лабораторный практикум по дисциплине: "Язык VHDL для проектирования цифровых устройств"— Владимир : (ВлГУ), 2008 .— 45 с.	2008	http://index.www1.vlsu.ru/cgi-bin/zgate.exe?present+88828+default+1+1+F+1.2.840.10003.5.102+rus

6.2. Периодические издания

Журналы (<https://elibrary.ru/>):

1. Вестник компьютерных и информационных технологий
2. Вычислительные технологии
3. Известия вузов: электроника
4. Радиотехнические и телекоммуникационные системы

6.3. Интернет-ресурсы

<https://cs.cdo.vlsu.ru/>
<http://www.studentlibrary.ru>
<http://library.vlsu.ru/>

7. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

Для реализации данной дисциплины имеются специальные помещения для проведения занятий лекционного типа, занятий практического типа, групповых и индивидуальных консультаций, текущего контроля и промежуточной аттестации, а также помещения для самостоятельной работы. Лабораторные работы проводятся в «учебно-исследовательской лаборатории центра микроэлектронного проектирования и обучения».

При проведении лабораторных работ используется лицензионное программное обеспечение система Matlab.

Рабочую программу составил Калыгина Л.А., доцент кафедры ВТ и СУ



Рецензент

(представитель работодателя)

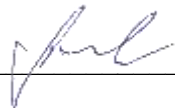


Генеральный директор ООО "Диаграмма" Протягов И.В.

Программа рассмотрена и одобрена на заседании кафедры ВТ и СУ

Протокол № 1 от 31 августа 2021 года

Заведующий кафедрой Ланцов В.Н.

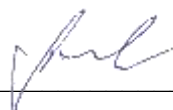


Рабочая программа рассмотрена и одобрена

на заседании учебно-методической комиссии направления 09.03.01 информатика и вычислительная техника

Протокол № 1 от 31 августа 2021 года

Председатель комиссии Ланцов В.Н. зав. каф. ВТиСУ



**ЛИСТ ПЕРЕУТВЕРЖДЕНИЯ
РАБОЧЕЙ ПРОГРАММЫ ДИСЦИПЛИНЫ**

Рабочая программа одобрена на 20 22 / 20 23 учебный года

Протокол заседания кафедры № 1 от 29.08.22 года

Заведующий кафедрой  Куликов К.В.

Рабочая программа одобрена на 20 ____ / 20 ____ учебный года

Протокол заседания кафедры № ____ от ____ года

Заведующий кафедрой _____

Рабочая программа одобрена на 20 ____ / 20 ____ учебный года

Протокол заседания кафедры № ____ от ____ года

Заведующий кафедрой _____